

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of

Inventors: Kiyohito MUKAI, et al.

Application No.: New Patent Application

Filed: November 18, 2003

For: SEMICONDUCTOR DEVICE LAYOUT INSPECTION METHOD

CLAIM FOR PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

Sir:

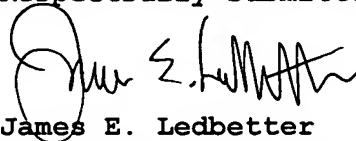
The benefit of the filing date of the following prior foreign application filed in the following foreign country is hereby requested for the above-identified application and the priority provided in 35 USC 119 is hereby claimed:

Japanese Appln. No. 2002-338980, filed November 22, 2002.

In support of this claim, a certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 USC 119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of this document.

Respectfully submitted,



James E. Ledbetter
Registration No. 28,732

Date: November 18, 2003

JEL/spp
Attorney Docket No. L8462.03118
STEVENS, DAVIS, MILLER & MOSHER, L.L.P.
1615 L Street, NW, Suite 850
P.O. Box 34387
Washington, DC 20043-4387
Telephone: (202) 785-0100
Facsimile: (202) 408-5200

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年11月22日

出 願 番 号
Application Number:

特願2002-338980

[ST.10/C]:

[JP2002-338980]

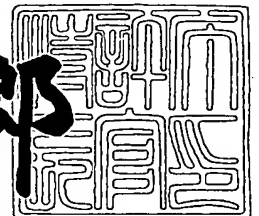
出 願 人
Applicant(s):

松下電器産業株式会社

2003年 2月21日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3009837

【書類名】 特許願
【整理番号】 5037540141
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/28
H01L 21/3205

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内
【氏名】 神代 昌彦

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内
【氏名】 向井 清士

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内
【氏名】 柴田 英則

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社内
【氏名】 辻川 洋行

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 100076174
【弁理士】
【氏名又は名称】 宮井 暎夫

【選任した代理人】

【識別番号】 100105979

【弁理士】

【氏名又は名称】 伊藤 誠

【手数料の表示】

【予納台帳番号】 010814

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0212624

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置のレイアウト検証方法

【特許請求の範囲】

【請求項 1】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、前記配線上のコンタクトホールレイアウトと前記配線のレイアウトとの関係から配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 2】 配線形成不良箇所を検出した配線のレイアウトを修正する請求項 1 記載の半導体装置のレイアウト検証方法。

【請求項 3】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 4】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 5】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 6】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 7】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、前記同一ノード配線の総

面積に応じて前記コンタクトホールは面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 8】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 9】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じて変化する前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 10】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じて変化する前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出することを特徴とする半導体装置のレイアウト検証方法。

【請求項 11】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【請求項 12】 チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動する請求項 11 記

載の半導体装置のレイアウト検証方法。

【請求項 1 3】 チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の大きさが変動する請求項 1 1 記載の半導体装置のレイアウト検証方法。

【請求項 1 4】 チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する請求項 5 記載の半導体装置のレイアウト検証方法。

【請求項 1 5】 複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する請求項 1 1 記載の半導体装置のレイアウト検証方法。

【請求項 1 6】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【請求項 1 7】 チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上に一部検証領域を定義する工程と、前記一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む半導体装置のレイアウト検証方法。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、特に配線形成不良を対策する半導体装置のレイアウト検証方法に関する。

【 0 0 0 2 】

【従来の技術】

薄膜化された絶縁膜で覆われた大面積配線においてヒロックの発生を防止し、半導体製造時に発生する配線不良を防止するため、従来は下記のような対策を行ってきた。

【 0 0 0 3 】

特許文献 1 に示すように、半導体基盤上に絶縁膜を介して形成された大面積配線を有する半導体装置において配線の幅、長さをヒロックが発生しない臨界寸法以下に分割し、分割したそれぞれの配線は別の配線によって電氣的に接続される。接続する配線は分割した配線と組みあわせてもヒロックが発生しないようずらして配置する。

【 0 0 0 4 】

【特許文献 1】

特開平 8 - 1 1 5 9 1 4 号公報

【 0 0 0 5 】

【発明が解決しようとする課題】

従来の半導体製造では大面積配線上のコンタクトホールが高密度の場合にヒロックによる配線隆起とアッシングや洗浄工程でのコンタクトホールと配線の接続部欠損により、上層の C V D 膜堆積時の熱で大面積配線部での断線、配線破壊、表面剥離が発生していた。

【 0 0 0 6 】

したがって、この発明の目的は、配線不良発生箇所である大面積配線上のコンタクトホール高密度部をチップレベルで発見することができる半導体装置のレイアウト検証方法を提供することである。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するためにこの発明の請求項 1 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、前記配線上のコンタクトホールのレイアウト

と前記配線のレイアウトとの関係から配線形成不良箇所を検出する。

【 0 0 0 8 】

このように、配線上のコンタクトホールとのレイアウトと配線のレイアウトとの関係から配線形成不良箇所を検出するので、大面積配線上のコンタクトホールが高密度の場合に、ヒロックの発生を防止し、半導体製造時に発生する配線不良を防止することができる。

【 0 0 0 9 】

請求項 2 記載の半導体装置のレイアウト検証方法は、請求項 1 記載の半導体装置のレイアウト検証方法において、配線形成不良箇所を検出した配線のレイアウトを修正する。このように、配線形成不良箇所を検出した配線のレイアウトを修正するので、幅広配線上ヒロックによる配線の剥離不良を低減することができる。

【 0 0 1 0 】

請求項 3 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【 0 0 1 1 】

このように、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 0 1 2 】

請求項 4 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良

否判定することにより配線形成不良箇所を検出する。

【0013】

このように、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0014】

請求項5記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0015】

このように、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【0016】

請求項6記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【0017】

このように、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 0 1 8 】

請求項 7 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールを計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出する。

【 0 0 1 9 】

このように、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホール総面積の制限が変化することで、請求項 3 と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【 0 0 2 0 】

請求項 8 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、前記同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、前記コンタクトホールの個数が前記個数制限値以上のとき配線形成不良箇所として検出する。

【 0 0 2 1 】

このように、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホールの個数制限が変化することで、請求項 4 と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【0022】

請求項9記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じて前記コンタクトホール個数の制限値を決定する工程とを含み、前記コンタクトホール個数が前記個数制限値以上のとき配線形成不良箇所として検出する。

【0023】

このように、一定幅の配線上のコンタクトホール個数を計算する工程と、配線幅に応じてコンタクトホール個数の制限値を決定する工程とを含み、コンタクトホール個数が個数制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホール個数の制限が変化することで、請求項5と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0024】

請求項10記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じて前記コンタクトホールの面積制限値を決定する工程とを含み、前記コンタクトホールの総面積が前記面積制限値以上のとき配線形成不良箇所として検出する。

【0025】

このように、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの面積制限が変化することで、請求項6と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【0026】

請求項11記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チ

チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む。

【 0 0 2 7 】

このように、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項 5 と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。チップ全面を領域分割することでチップ全面に比べ局所的にコンタクトの密集した部分を検出し形成不良を回避できる。

【 0 0 2 8 】

請求項 1 2 記載の半導体装置のレイアウト検証方法は、請求項 1 1 記載の半導体装置のレイアウト検証方法において、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動する。

【 0 0 2 9 】

このように、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動するので、チップ全面検証は処理 T A T を優先、一部検証は詳細な検証を優先というように目的に応じて走査間隔を使い分けることができる。

【 0 0 3 0 】

請求項 1 3 記載の半導体装置のレイアウト検証方法は、請求項 1 1 記載の半導体装置のレイアウト検証方法において、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の大きさが変動する。

【 0 0 3 1 】

このように、チップ全面検証は処理 T A T を優先、一部検証は詳細な検証を優

先というように目的に応じて検証領域の大きさを使い分けることができる。

【 0 0 3 2 】

請求項 1 4 記載の半導体装置のレイアウト検証方法は、請求項 5 記載の半導体装置のレイアウト検証方法において、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する。

【 0 0 3 3 】

このように、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限するので、不良が発生する可能性がある配線上の最低限のコンタクトホール個数を定義してコンタクトホールの個数によって検証する必要がない配線を削除し、請求項 5 と同様にコンタクトホールの個数制限を実施することで、処理 T A T を短縮することができる。

【 0 0 3 4 】

請求項 1 5 記載の半導体装置のレイアウト検証方法は、請求項 1 1 記載の半導体装置のレイアウト検証方法において、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する。

【 0 0 3 5 】

このように、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限するので、コンタクトホールの個数によって検証する必要がない検証領域を選択しないで、請求項 1 1 と同様にコンタクトホールの個数制限を実施することで、処理 T A T を短縮することができる。

【 0 0 3 6 】

請求項 1 6 記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト全面を複数の検証領域に分割する工程と、前記検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホ

ールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記検証領域がチップレイアウト上の全面を走査する工程とを含む。

【0037】

このように、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項3と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【0038】

請求項17記載の半導体装置のレイアウト検証方法は、チップレイアウト上の配線で形成不良の発生を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上に一部検証領域を定義する工程と、前記一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、前記一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む。

【0039】

このように、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含むので、一部検証領域内で請求項3と同様の検証を行い、一部検証領域が全面を走査することで

レイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【 0 0 4 0 】

【発明の実施の形態】

この発明の第 1 の実施の形態を図 1 ～図 4 に基づいて説明する。図 1 はこの発明の実施の形態に適用される半導体レイアウト上の配線とコンタクトホール層を示すレイアウト図である。

【 0 0 4 1 】

図 1 において、11 はチップの最外周、12 は配線層、13 はコンタクトホール層のそれぞれレイアウトである。

【 0 0 4 2 】

図 3 はこの発明の第 1 の実施の形態の検証アルゴリズムを示すフローチャート、図 4 はこの発明の第 1 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【 0 0 4 3 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【 0 0 4 4 】

この場合、図 4 (a) ～ (c) に示すように、レイアウト上に最小配線間隔 W 四方サイズの領域 19 を定義し、前記領域 19 がレイアウトの配線 14 に重なる配線 15 を選択する。領域 19 が最小線幅であるため選択された配線 15 は必ず同一ノードとなる。重ならない場合、前記領域 19 をレイアウト内で重ならないよう W 分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す（ステップ

1 A)。

【0045】

選択した同一ノードの配線15を面積計算する(ステップ1 B)。コンタクトホール17を有する配線15とコンタクトホール18を有する配線16は別ノードである(図4(d))。ステップ1 Aで選択した配線15に重なるコンタクトホール17を選択する(ステップ1 C)。ステップ1 Cで選択したコンタクトホール17の総面積を計算する(ステップ1 D)。ステップ1 Bで計算した同一ノード配線15面積とステップDで計算したコンタクトホール17の総面積から面積比を算出する(ステップ1 E)。このときコンタクトホール17と18は別ノードの配線上なので別々に面積比を算出する。ステップ1 Eの面積比が制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ1 F)。

【0046】

次に入力レイアウトからステップ1 Aで選択した配線を削除する(ステップ1 G)。ステップ1 Gにより一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速なCAD処理が実施できる。ステップ1 Aで選択した領域19が入力レイアウト全面を走査したかを判定(ステップ1 H)。走査してない領域19が存在する場合ステップ1 Aに戻って繰り返す。全面走査で検証終了。

【0047】

図2はこの発明の第1の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0048】

図2に示すように、同一ノード配線認識ステップ1 aは最小線幅領域19を定義し、入力したレイアウトデータ14の配線データ15との重なる領域が存在した場合、配線データ15を同一ノードとして選択し出力する。コンタクト認識ステップ1 bは選択された配線データ15とレイアウトデータ14を入力として配線データ15に重なるレイアウトデータ中のコンタクトホールデータ17を選択し出力する。面積計算ステップ1 cは選択した同一ノード配線データ15と選択

したコンタクトホール 1 7 を入力してそれぞれの総面積を計算する。面積比計算ステップ 1 d はステップ 1 c で計算した同一ノード配線とコンタクトホールの面積から面積比を計算して出力する。

【 0 0 4 9 】

エラー判定ステップ 1 e は面積比とエラー条件を比較して面積比が条件に満たない場合にエラーとして選択した配線 1 5 とコンタクトホール 1 7 を出力する。レイアウトデータ更新ステップ 1 f はレイアウトデータ 1 4 と配線データ 1 5 を入力し、入力レイアウトデータ 1 4 からステップ 1 a で選択した配線データ 1 5 を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【 0 0 5 0 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 0 5 1 】

この発明の第 2 の実施の形態を図 5 ～図 7 に基づいて説明する。

【 0 0 5 2 】

図 6 はこの発明の第 2 の実施の形態の検証アルゴリズムを示すフローチャート、図 7 はこの発明の第 2 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【 0 0 5 3 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【 0 0 5 4 】

この場合、図 7 (a) ～ (c) に示すように、レイアウト上に最小配線間隔 W 2 四方サイズの領域 2 6 を定義し、前記領域 2 6 がレイアウトの配線 2 1 に重なる配線 2 2 を選択する。領域 2 6 が最小線幅であるため選択された配線 2 2 は同一ノードとなる。重ならない場合、前記領域 2 6 をレイアウト内で重ならないように W 2 分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト

全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す（ステップ 2 A）。選択した同一ノード配線 2 2 の面積を計算する（ステップ 2 B）。計算した同一ノード配線 2 2 に重なるコンタクトホール 2 4 を選択する（ステップ 2 C）。このとき、コンタクトホール 2 4 を有する配線 2 2 とコンタクトホール 2 5 を有する配線 2 3 は別ノードである（図 7（d））。ステップ 2 C で選択したコンタクトホール 2 4 の個数を計算する（ステップ 2 D）。ステップ 2 D で計算したコンタクトホール 2 4 の個数が同一ノード配線 2 2 の面積によって予め定められた制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ 2 E）。

【 0 0 5 5 】

次に入力レイアウトからステップ 2 A で選択した配線を削除する（ステップ 2 F）。ステップ 2 F により一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速な C A D 処理が実施できる。ステップ 2 A で選択した領域 2 6 が入力レイアウト全面を走査したかを判定（ステップ 2 G）。走査してない領域 2 6 が存在する場合、ステップ 2 A に戻って繰り返す。全面走査で検証終了。

【 0 0 5 6 】

図 5 はこの発明の第 2 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 0 5 7 】

図 5 に示すように、同一ノード配線認識ステップ 2 a は最小線幅領域 2 6 を選択し、入力したレイアウトデータ 2 1 の配線データ 2 2 との重なる領域が存在した場合、配線データ 2 2 を同一ノードとして選択し出力する。面積計算ステップ 2 b は選択された配線データ 2 2 を入力し、面積を計算して計算値を出力する。コンタクト認識ステップ 2 c は入力レイアウトデータとステップ 2 a で出力した配線データ 2 2 を入力として配線データ 2 2 に重なる入力レイアウトデータ 2 1 中のコンタクトホール 2 4 を選択し出力する。コンタクト個数カウントステップ 2 d ではステップ 2 c で出力されたコンタクトホール 2 4 の個数を計算し出力する。

【 0 0 5 8 】

エラー判定ステップ 2 e ではステップ 2 b で出力された同一ノード配線 2 2 の面積とステップ 2 d で出力されたコンタクトホール 2 4 の個数を入力し、面積に対するコンタクトホール個数が条件を満たしてなければエラーとして選択した配線 2 2 とコンタクトホール 2 4 を出力する。レイアウトデータ更新ステップ 2 f はレイアウトデータ 2 1 と配線データ 2 2 を入力し、入力レイアウトデータの配線層から選択配線データ 2 2 を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【 0 0 5 9 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 0 6 0 】

この発明の第 3 の実施の形態を図 8 ～図 1 0 に基づいて説明する。

【 0 0 6 1 】

図 9 はこの発明の第 3 の実施の形態の検証アルゴリズムを示すフローチャート、図 1 0 はこの発明の第 3 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【 0 0 6 2 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【 0 0 6 3 】

この場合、図 1 0 (a) , (b) に示すように、レイアウト 3 1 上で予め配線形成不良の可能性があると考えられる配線幅 L 以上の配線 3 2 を選択する (ステップ 3 A) 。ステップ 3 A で選択した配線 3 2 に重なるコンタクトホール 3 3 を選択する (ステップ 3 B) 。図 1 0 (c) , (d) に示すように、ステップ 3 B で選択したコンタクトホールの個数を計算する (ステップ 3 C) 。配線幅 L に依存して設定した個数制限 (例 : 4 個以上) によりエラーレイアウト 3 4 を検出する (ステップ 3 D) 。

【 0 0 6 4 】

図 8 はこの発明の第 3 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 0 6 5 】

図 8 に示すように、配線認識ステップ 3 a は予め配線形成不良の可能性があると考えられる配線幅 L を定義し、入力したレイアウトデータ 3 1 から配線幅 L 以上の配線 3 2 を選択し出力する。コンタクト認識ステップ 3 b はステップ 3 a で出力された配線データ 3 2 と入力レイアウトデータ 3 1 を入力し、入力レイアウトデータ 3 1 から配線データ 3 2 に重なるコンタクトデータ 3 3 を選択し出力する。コンタクト個数カウントステップ 3 c はステップ 3 b で出力されたコンタクトデータ 3 3 を入力としてコンタクトホールの個数を計算し出力する。

【 0 0 6 6 】

エラー判定ステップ 3 d ではステップ 3 c で出力されたコンタクトホール 3 3 の個数を入力し配線幅 L に依存して設定した個数制限（例：4 個以上）に該当するエラーデータ 3 4 を出力する。

【 0 0 6 7 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 0 6 8 】

この発明の第 4 の実施の形態を図 1 1 ～図 1 3 に基づいて説明する。

【 0 0 6 9 】

図 1 2 はこの発明の第 4 の実施の形態の検証アルゴリズムを示すフローチャート、図 1 3 はこの発明の第 4 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【 0 0 7 0 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出する。

【 0 0 7 1 】

この場合、図13(a), (b)に示すように、レイアウト41上で予め配線形成不良の可能性があると考えられる配線幅L2以上の配線42を選択する(ステップ4A)。ステップ4Aで選択した配線42に重なるコンタクトホール43を選択する(ステップ4B)。図13(c), (d)に示すように、ステップ4Bで選択したコンタクトホールの面積を計算する(ステップ4C)。配線幅L2に依存して設定した面積制限によりエラーレイアウト44を検出する(ステップ4D)。

【0072】

図11はこの発明の第4の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0073】

図11に示すように、配線認識ステップ4aは予め配線形成不良の可能性があると考えられる配線幅L2を定義し、入力したレイアウトデータ41から配線幅L2以上の配線データ42を選択し出力する。コンタクト認識ステップ4bはステップ4aで出力された配線データ42と入力レイアウトデータ41を入力し、入力レイアウトデータ41から配線データ42に重なるコンタクトデータ43を選択し出力する。コンタクト面積計算ステップ4cはステップ4bで出力されたコンタクトデータ43を入力としてコンタクトホールの総面積を計算し出力する。

【0074】

エラー判定ステップ4dではステップ4cで出力されたコンタクトホール43の総面積を入力し配線幅L2に依存して設定した面積制限に該当するエラーデータ44を出力する。

【0075】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0076】

この発明の第5の実施の形態を図14～図16に基づいて説明する。

【0077】

図15はこの発明の第5の実施の形態の検証アルゴリズムを示すフローチャー

ト、図 1 6 はこの発明の第 5 の実施の形態の検証プロセスを示す説明図である。
以下フローチャートに沿って検証手順を説明する。

【0078】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線の総面積と同一ノード配線上のコンタクトホール54の総面積を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホール54の面積制限値を決定する工程とを含み、コンタクトホール54の総面積が面積制限値以上のとき配線形成不良箇所として検出する。

【0079】

この場合、図 1 6 (a) ~ (c) に示すように、レイアウト上に最小線幅 W 3 四方サイズの領域 5 6 を定義し、前記領域 5 6 がレイアウトの配線 5 1 に重なる配線 5 2 を選択する。領域 5 6 が最小線幅であるため選択された配線 5 2 は必ず同一ノードとなる。重ならない場合、前記領域 5 6 をレイアウト内で重ならないよう W 3 分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す（ステップ 5 A）。選択した同一ノードの配線 5 2 を面積計算する（ステップ 5 B）。コンタクトホール54を有する配線 5 2 とコンタクトホール55を有する配線 5 3 は別ノードである（図 1 6 (d)）。ステップ 5 A で選択した配線 5 2 に重なるコンタクトホール54を選択する（ステップ 5 C）。ステップ 5 C で選択したコンタクトホール54の総面積を計算する（ステップ 5 D）。ステップ 5 B で計算した同一ノード配線 5 2 から配線面積 $B (\mu m^2)$ の範囲に応じたコンタクト面積制限値 $X (\mu m^2)$ を図 1 6 (e) の表 5 7 から一意に決定する。決定した制限面積 $X (\mu m^2)$ とステップ 5 D で計算したコンタクトホール54の総面積を比較し制限値 $X (\mu m^2)$ 以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ 5 E）。

【0080】

次に入力レイアウトからステップ 5 A で選択した配線を削除する（ステップ 5 F）。ステップ 5 F により一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速な CAD 処理が実施できる。ステ

ップ 5 A で選択した領域 5 6 が入力レイアウト全面を走査したかを判定（ステップ 5 G）。走査してない領域 5 6 が存在する場合、ステップ 5 A に戻って繰り返す。全面走査で検証終了。

【 0 0 8 1 】

図 1 4 はこの発明の第 5 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 0 8 2 】

図 1 4 に示すように、同一ノード配線認識ステップ 5 a は最小線幅領域 5 6 を定義し、入力したレイアウトデータ 5 1 の配線データとの重なる領域が存在した場合、配線データ 5 2 を同一ノードとして選択し出力する。配線面積計算ステップ 5 b はステップ 5 a で認識した配線データ 5 2 を入力し、面積を計算して結果を出力する。コンタクト認識ステップ 5 c は選択された配線データ 5 2 とレイアウトデータ 5 1 を入力として配線データ 5 2 に重なるレイアウトデータ内のコンタクトホール 5 4 を選択し出力する。コンタクト面積計算ステップ 5 d は選択したコンタクトホール 5 4 を入力して総面積を計算する。コンタクト面積決定ステップ 5 e は予め配線不良の発生率から規定されたエラー条件表 5 7 の配線面積 $B(\mu m^2)$ に依存したコンタクト面積制限値 $X(\mu m^2)$ とステップ 5 b で出力された配線面積 $B(\mu m^2)$ を入力しコンタクト面積の面積制限値 $X(\mu m^2)$ を一意に決定する。

【 0 0 8 3 】

エラー判定ステップ 5 f はステップ 5 e から出力されたコンタクト面積の制限値 $X(\mu m^2)$ とステップ 5 d で計算されたコンタクト面積とを入力して、面積が $X(\mu m^2)$ 以上の場合にエラーとして選択した配線 5 2 とコンタクトホール 5 4 を出力する。レイアウトデータ更新ステップ 5 g はレイアウトデータ 5 1 と配線データ 5 2 を入力し、入力レイアウトデータの配線層から選択配線データ 5 2 を差し引いたレイアウトを出力し、次に検証する配線の入力レイアウトデータとする。

【 0 0 8 4 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0085】

この発明の第6の実施の形態を図17～図19に基づいて説明する。

【0086】

図18はこの発明の第6の実施の形態の検証アルゴリズムを示すフローチャート、図19はこの発明の第6の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0087】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出する。

【0088】

この場合、図19(a)～(c)に示すように、レイアウト上に最小線幅W4四方サイズの領域66を定義し、前記領域66がレイアウトの配線61に重なる配線62を選択する。領域66が最小線幅であるため選択された配線62は必ず同一ノードとなる。重ならない場合、前記領域66をレイアウト内で重ならないようW4分移動し、次の領域を選択し配線層に重なるかを判定する。レイアウト全面を走査完了か、次の同一ノード配線が見つかるまで判定を繰り返す（ステップ6A）。選択した同一ノードの配線62を面積計算する（ステップ6B）。コンタクトホール64を有する配線62とコンタクトホール65を有する配線63は別ノードである（図19(d)）。ステップ6Aで選択した配線62に重なるコンタクトホール64を選択する（ステップ6C）。ステップ6Cで選択したコンタクトホール64の個数を計算する（ステップ6D）。ステップ6Bで計算した同一ノード配線62から配線面積 $B(\mu\text{m}^2)$ に応じたコンタクト個数制限値C（個）を図19(e)の表67から一意に決定する。決定した制限個数C（個）とステップ6Dで計算したコンタクトホール64の個数を比較しC個以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ6E）。

【0089】

次に入力レイアウトからステップ 6 A で選択した配線を削除する（ステップ 6 F）。ステップ 6 F により一度選択した同一ノード配線は入力レイアウトから削除し、二度選択されることはなくなるため高速な C A D 処理が実施できる。ステップ 6 A で選択した領域 6 6 が入力レイアウト全面を走査したかを判定（ステップ 6 G）。走査してない領域 6 6 が存在する場合、ステップ 6 A に戻って繰り返す。全面走査で検証終了。

【 0 0 9 0 】

図 1 7 はこの発明の第 6 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 0 9 1 】

図 1 7 に示すように、同一ノード配線認識ステップ 6 a は最小線幅領域 6 6 を定義し、入力したレイアウトデータ 6 1 の配線データとの重なる領域が存在した場合、配線データ 6 2 を同一ノードとして選択し出力する。配線面積計算ステップ 6 b はステップ 6 a で認識した同一ノード配線データ 6 2 を入力し、面積を計算して結果を出力する。コンタクト認識ステップ 6 c は選択された配線データ 6 2 とレイアウトデータ 6 1 を入力として配線データ 6 2 に重なるレイアウトデータ内のコンタクトホール 6 4 を選択し出力する。コンタクト個数カウントステップ 6 d はステップ 6 c で選択したコンタクトホールデータ 6 4 を入力して個数を計算する。コンタクト個数決定ステップ 6 e は予め配線不良の発生率から規定されたエラー条件表 6 7 とステップ 6 b で出力された配線面積 $B (\mu m^2)$ を入力し、配線面積 $B (\mu m^2)$ に依存したコンタクト個数制限値 C (個) を決定して出力する。

【 0 0 9 2 】

エラー判定ステップ 6 f はステップ 6 e から出力されたコンタクト個数の制限値 C (個) とステップ 6 d で計算されたコンタクト個数とを入力して個数が C 個以上の場合にエラーとして選択した配線 6 2 とコンタクトホール 6 4 を出力する。レイアウトデータ更新ステップ 6 g はレイアウトデータ 6 1 と配線データ 6 2 を入力し、入力レイアウトデータ 6 1 の配線層から選択配線データ 6 2 を差し引いたレイアウトを出力し、検証すべき次の配線の入力レイアウトデータとする。

【0093】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0094】

この発明の第7の実施の形態を図20～図22に基づいて説明する。

【0095】

図21はこの発明の第7の実施の形態の検証アルゴリズムを示すフローチャート、図22はこの発明の第7の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0096】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証する際、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出する。

【0097】

この場合、図22(a)，(b)に示すように、レイアウト71上で予め配線形成不良の可能性があると考えられる配線幅L3以上の配線72を選択する(ステップ7A)。ステップ7Aで選択した配線72に重なるコンタクトホール73を選択する(ステップ7B)。ステップ7Bで選択したコンタクトホールの個数を計算する(ステップ7C)。ステップ7Cで計算したコンタクトホール73の個数制限値を図22(e)の表77の配線幅L3の範囲に依存したコンタクト個数制限値C(例：L3=W1の範囲→4個以上)により一意に決定する。図22(c)，(d)に示すように、決定した制限個数4個とステップ7Cで計算したコンタクトホール74の個数を比較し制限値(4個)以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ7D)。

【0098】

図20はこの発明の第7の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0099】

図 2 0 に示すように、配線認識ステップ 7 a は予め配線形成不良の可能性があると考えられる配線幅 L 3 を定義し、入力したレイアウトデータ 7 1 から配線幅 L 3 以上の配線 7 2 を選択し出力する。コンタクト認識ステップ 7 b はステップ 7 a で出力された配線データ 7 2 と入力レイアウトデータ 7 1 を入力し、入力レイアウトデータ 7 1 から配線データ 7 2 に重なるコンタクトデータ 7 3 を選択し出力する。コンタクト個数カウントステップ 7 c はステップ 7 b で出力されたコンタクトデータ 7 3 を入力として個数を計算し出力する。コンタクト個数決定ステップ 7 d は予め配線不良の発生率から規定されたエラー条件表 7 7 とステップ 7 a で出力された配線幅 L 3 (μm) を入力し、配線幅 L 3 (μm) に依存したコンタクト個数制限値 C (個) を決定して出力する。

【0 1 0 0】

エラー判定ステップ 7 e はステップ 7 d から出力されたコンタクト個数の制限値 (例: $W1 = 4$ 個以上) とステップ 7 c で計算されたコンタクトホール個数 7 3 とを入力して比較し、4 個以上となる場合にエラーとして選択したコンタクトホール 7 4 を出力する。

【0 1 0 1】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0 1 0 2】

この発明の第 8 の実施の形態を図 2 3 ～図 2 5 に基づいて説明する。

【0 1 0 3】

図 2 4 はこの発明の第 8 の実施の形態の検証アルゴリズムを示すフローチャート、図 2 5 はこの発明の第 8 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【0 1 0 4】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で発生する形成不良を検証するであって、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出する。

【0105】

この場合、図25(a), (b)に示すように、レイアウト81上で予め配線形成不良の可能性があると考えられる配線幅L4以上の配線82を選択する(ステップ8A)。ステップ8Aで選択した配線82に重なるコンタクトホール83を選択する(ステップ8B)。ステップ8Bで選択したコンタクトホールの総面積を計算する(ステップ8C)。ステップ8Cで計算したコンタクトホールの面積制限値を図25(e)の表87の配線幅L4の範囲に依存したコンタクト面積制限値X(例:W1の範囲→面積 $1\mu\text{m}^2$ 以上)により一意に決定する。図25(c), (d)に示すように、決定した制限面積X(μm^2)とステップ8Cで計算したコンタクトホール84の面積を比較しX(μm^2)以上となる場合、配線形成不良が発生するエラー箇所として検出する(ステップ8D)。

【0106】

図23はこの発明の第8の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0107】

図23に示すように、配線認識ステップ8aは、レイアウト81上で予め配線形成不良の可能性があると考えられる配線幅L4以上の配線82を選択し出力する。コンタクト認識ステップ8bはステップ8aで出力された配線データ82と入力レイアウトデータ81を入力し、入力レイアウトデータ81から配線データ82に重なるコンタクトデータ83を選択し出力する。コンタクト面積計算ステップ8cはステップ8bで出力されたコンタクトデータ83を入力としてコンタクトホール83の総面積を計算し出力する。コンタクト面積決定ステップ8dは予め配線不良の発生率から規定されたエラー条件表87とステップ8aで出力された配線幅L4(μm)を入力し、配線幅L4(μm)に依存したコンタクトホール総面積X(μm^2)を一意に決定して出力する。

【0108】

エラー判定ステップ8eはステップ8dから出力されたコンタクト総面積の制限値(例:W1= $1\mu\text{m}^2$ 以上)とステップ8cで計算されたコンタクトホール総面積とを入力して比較し、面積が $1\mu\text{m}^2$ 以上の場合にエラーとして選択した

コンタクトホール 8 4 を出力する。

【 0 1 0 9 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 1 1 0 】

この発明の第 9 の実施の形態を図 2 6 ～図 3 0 に基づいて説明する。

【 0 1 1 1 】

図 2 8 はこの発明の第 9 の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。実線で示す領域 9 6 が検証するチップ全面、点線で示す領域 9 5 は予め決めた検査領域幅 A 四方と縦方向、横方向に等間隔 S で配置した検査間隔を表す。9 1 ～ 9 4 は検証領域の移動状態を示す。図 2 9 は図 2 8 の検査間隔を拡大して配線レイアウト 9 8 との関係を示したものである。

【 0 1 1 2 】

図 2 7 はこの発明の第 9 の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【 0 1 1 3 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で形成不良の発生を検証する際、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含む。

【 0 1 1 4 】

この場合、図 2 9 に示すように、検証対象の入力レイアウト 9 8 において一括検証領域 9 5 を定義する。検証領域は幅 A 四方を縦方向、横方向に等間隔 S で配置する（ステップ 9 A）。以下検証領域を使ったコンタクトホール個数の制限方法について述べる。

【 0 1 1 5 】

前記検証領域 9 5 で検証を行い、完了すると検証領域 9 5 は検証すべきレイアウト内を移動し再度別領域の検証を行う。検証領域 9 5 が全面を走査してレイア

ウト全面の検証が完了となる。以下、検証領域 9 5 が移動する一例を挙げて説明する。

【0 1 1 6】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する（図 2 9（a））。前記領域 9 5 での検証が完了すると、次に縦方向 9 2 に予め処理するデータ規模によって決めた間隔で検証領域 9 5 を移動する（図 2 9（b））。全体の検証領域がチップ全面であるか、1 ブロックであるかといった処理するデータ規模によって前記検証領域 9 5 の移動量や前記検証領域 9 5 の 1 つの枠の大きさを変化させることでチップ全面検証は処理 T A T 優先、チップの一部での検証は詳細な検証を優先というように目的に応じて使い分けることができる。9 2 で示した縦方向への移動を初めの位置から S （検証領域の間隔）+ A （検証領域の枠の 1 辺の長さ）移動するまで繰り返す。次に 9 3 で示すように横方向にも同様に検証領域が $S + A$ 移動するまで繰り返す（図 2 9（c））。最後に 9 4 で示した斜め方向にも同様に検証領域が移動するまで繰り返す（図 2 9（d））。三方向完了した時点でレイアウト全面の検証が完了となる（ステップ 9 B）。

【0 1 1 7】

次に前記検証領域 9 5 とレイアウト 9 8 内の配線 9 7 の重なる領域 9 9 を選択する。図 3 0（a），（b）に示すように、ステップ 9 C の結果の配線領域の中から予め配線形成不良の可能性があると考えられる配線幅 $L 5$ の配線領域 8 8 を選択する（ステップ 9 C）。図 3 0（c）に示すように、ステップ 9 C で選択した配線に重なるコンタクトホール 8 9 を選択する（ステップ 9 D）。このときカウントするコンタクトホールが前記検証領域 9 5 を跨ぐ場合や外に接する場合（図 3 0（f）に示す符号 1 0 7）は個数としてカウントしない。前記検証領域 9 5 に全て含まれる場合（図 3 0（f）に示す符号 1 0 6）のみカウント対象とする。選択したコンタクトホール 8 9 の個数を計算する（ステップ 9 E）。図 3 0（d）に示すように、ステップ 9 E で計算したコンタクトホール 8 9 の個数と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所 9 0 として検出する（ステップ 9 F）。次に前記検証領域 9 5 がチップ全面を走査したかを判定する（ステップ 9 G）。全てを走査してなけれ

ばステップ 9 B ～ステップ 9 G を繰り返す。全て走査していれば検証完了となる。

【 0 1 1 8 】

図 2 6 はこの発明の第 9 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 1 1 9 】

図 2 6 に示すように、検証領域選択ステップ 9 a はレイアウトデータ 9 8 を入力し、検証するレイアウト上の一括検証領域 9 5 を定義してレイアウトデータ 9 8 との重なる配線を選択し特定領域配線データとして出力する。配線認識ステップ 9 b はステップ 9 a から出力する特定領域配線データ 9 7 から予め定められた幅 L 5 の配線 8 8 を選択し、出力する。コンタクト認識ステップ 9 c はステップ 9 a から出力される特定領域配線 9 7 とステップ 9 b から出力される配線データ 8 8 を入力し、特定領域配線データ 9 7 の中で、配線データ 8 8 に重なるコンタクトホール 8 9 を選択し、出力する。

【 0 1 2 0 】

コンタクトカウントステップ 9 d はステップ 9 c から出力したコンタクトホール 8 9 を入力し、コンタクトホール数を計算する。エラー判定ステップ 9 e はステップ 9 d から出力されるコンタクトホール個数と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択したコンタクトホール 9 0 を出力する。

【 0 1 2 1 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 1 2 2 】

この発明の第 1 0 の実施の形態を図 3 1 ～図 3 3 に基づいて説明する。

【 0 1 2 3 】

図 3 2 はこの発明の第 1 0 の実施の形態の検証アルゴリズムを示すフローチャート、図 3 3 はこの発明の第 1 0 の実施の形態の検証プロセスを示す説明図である。以下フローチャートに沿って検証手順を説明する。

【 0 1 2 4 】

この半導体装置のレイアウト検証方法は、第3の実施の形態において、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限する。

【0125】

この場合、不良が発生する可能性がある配線上の最低限のコンタクトホール個数（例：3個）を定義する。次に図33（a），（b）に示すように、入力レイアウト101から定義したコンタクトホール個数以上の配線102を選択することで検証する必要のない配線を削除しCAD処理TATを短縮する（ステップ10A）。図33（c）に示すようにステップ10Aでフィルタリングしたレイアウト102から予め決めた配線幅L6以上の幅をもつ配線103のみ選択する（ステップ10B）。図33（d）に示すようにフィルタリングしたレイアウト102から選択した配線103に重なるコンタクトホール104を選択する（ステップ10C）。図33（e）に示すように選択したコンタクトホールの個数を計算（ステップ10D）し、予め定められたエラー条件とステップ10Dで計算したコンタクトホール個数を比較して、条件に満たない（3個以上の）コンタクトホール105を出力する。

【0126】

図31はこの発明の第10の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0127】

図31に示すように、配線フィルタリングステップ10aはレイアウトデータを入力し、コンタクトホールの個数によって配線形成不良発生の可能性がない配線を予めレイアウトデータ101から削除したデータ102を出力する。配線認識ステップ10bは予め配線形成不良の可能性があると考えられる配線幅L6を定義し、入力したレイアウトデータ102から配線幅L6以上の配線103を選択し出力する。コンタクト認識ステップ10cはステップ10bから出力された配線データ103とレイアウトデータ102を入力し、レイアウトデータ102から配線データ103に重なるコンタクトデータ104を選択し出力する。

【0128】

コンタクト個数カウントステップ 1 0 d はステップ 1 0 c で出力されたコンタクトホールデータ 1 0 4 を入力して個数を計算し出力する。エラー判定ステップ 1 0 e ではステップ 1 0 d で出力されたコンタクトホール 1 0 4 の個数を入力し配線幅 L 6 に依存して設定した個数制限（例：4 個以上）に該当するエラーデータ 1 0 5 を出力する。

【0 1 2 9】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0 1 3 0】

この発明の第 1 1 の実施の形態を図 3 4 ～図 3 9 に基づいて説明する。

【0 1 3 1】

図 3 6 はこの発明の第 1 1 の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。実線で示す領域 1 1 6 が検証するチップ全面、点線で示す領域 1 1 5 は予め決めた検査領域幅 A 2 四方と縦方向、横方向に等間隔 S 2 で配置した検査間隔を表す。1 1 1 ～1 1 4 は検証領域の移動状態を示す。図 3 7 は図 3 6 の検査間隔を拡大して配線レイアウト 1 1 8 との関係を示したものである。

【0 1 3 2】

図 3 5 はこの発明の第 1 1 の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【0 1 3 3】

この半導体装置のレイアウト検証方法は、第 9 の実施の形態において、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限する。

【0 1 3 4】

この場合、図 3 7 に示すように、検証対象の入力レイアウト 1 1 8 において一括検証領域 1 1 5 を定義する。検証領域は幅 A 2 四方を縦方向、横方向に等間隔 S 2 で配置する（ステップ 1 1 A）。以下検証領域を使ったコンタクトホールの制限方法について述べる。

【0 1 3 5】

前記検証領域 115 で検証を行い、完了すると検証領域 115 は検証すべきレイアウト内を移動し再度別領域の検証を行う。検証領域 115 が全面を走査してレイアウト全面の検証が完了となる。以下、検証領域 115 が移動する一例を挙げて説明する。

【0136】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する（図 37（a））。前記領域 115 での検証が完了すると、次に縦方向 112 に予め決めた間隔で検証領域 115 を移動する（図 37（b））。全体の検証領域がチップ全面であるか、1 ブロックであるかといった処理するデータ規模によって前記検証領域 115 の移動量や前記検証領域 115 の 1 つの枠の大きさを変化させることでチップ全面検証は処理 TAT 優先、チップの一部での検証は詳細な検証を優先というように目的に応じて使い分けることができる。112 で示した縦方向への移動を初めの位置から $S2$ （検証領域の間隔）+ $A2$ （検証領域の枠の 1 辺の長さ）移動するまで繰り返す。次に 113 で示すように横方向にも同様に検証領域が $S2 + A2$ 移動するまで繰り返す（図 37（c））。最後に 114 で示した斜め方向にも同様に検証領域が移動するまで繰り返す（図 37（d））。三方向完了した時点でレイアウト全面の検証が完了とする（ステップ 11B）。

【0137】

ステップ 11B で選択した領域 115 をコンタクトホール個数でフィルタリングする。配線の面積や幅に依存せずコンタクトホール個数が少なくとも 3 個以上のとき配線形成不良が発生するのであれば、コンタクトホールが 2 個以下の領域は検証する必要がないので、図 38 で示すようにステップ 11B で選択した検証領域 115 からコンタクトホールが 3 個以上存在する検証領域 120 を選択する（ステップ 11C）ことで検証処理 TAT を短縮することができる。

【0138】

次にフィルタリングした前記検証領域 120 とレイアウト 118 内の配線 117 の重なる領域 119 を選択する（ステップ 11C）。図 39（a）、（b）に示すように、ステップ 11C の結果の配線領域の中から予め決められた幅 W 以上の配線領域 122 を選択する（ステップ 11D）。図 39（c）に示すように、

ステップ 1 1 D で選択した配線に重なるコンタクトホール 1 2 3 を選択する（ステップ 1 1 E）。選択したコンタクトホール 1 2 3 の個数を計算する（ステップ 1 1 F）。ステップ 1 1 F で計算したコンタクトホール 1 2 3 の個数と予め決められたエラー条件とを比較して制限値以上（図 3 9（d）の符号 1 2 4）となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ 1 1 G）。次に前記検証領域 1 1 5 がチップ全面を走査したかを判定する（ステップ 1 1 H）。全てを走査してなければステップ 1 1 B ～ステップ 1 1 G を繰り返す。全て走査していれば検証完了となる。

【 0 1 3 9 】

図 3 4 はこの発明の第 1 1 の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【 0 1 4 0 】

図 3 4 に示すように、検証領域選択ステップ 1 1 a はレイアウトデータ 1 1 8 を入力し、一括検証領域 1 1 5 を選択し出力する。ステップ 1 1 b は前記検証領域 1 1 5 とレイアウトデータ 1 1 8 を入力して検証領域 1 1 5 からコンタクトホールが 3 個以上となる検証領域 1 2 0 と配線 1 1 7 との重なり部分を特定領域配線データ 1 1 9 として出力する。配線認識ステップ 1 1 c はステップ 1 1 b から出力する特定領域配線データから予め定められた幅 W の配線 1 2 2 を選択し、出力する。コンタクト認識ステップ 1 1 d はステップ 1 1 b から出力される特定検証領域データ 1 1 9 とステップ 1 1 c から出力される配線データ 1 2 2 を入力し、検証配線データ 1 1 9 の中で、配線 1 1 9 に重なるコンタクトホール 1 2 3 を選択し、出力する。

【 0 1 4 1 】

コンタクトカウントステップ 1 1 e はステップ 1 1 d から出力したコンタクトホール 1 2 3 を入力し、コンタクトホール数を計算する。エラー判定ステップ 1 1 f はステップ 1 1 e から出力されるコンタクトホール個数と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択したコンタクトホール 1 2 4 を出力する。

【 0 1 4 2 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 1 4 3 】

この発明の第 1 2 の実施の形態を図 4 0 ～図 4 3 に基づいて説明する。

【 0 1 4 4 】

図 4 2 はこの発明の第 1 2 の実施の形態において一括してコンタクトホール
の個数を検査する領域を示す説明図である。実線で示す領域 1 3 6 が検証するチ
ップ全面、点線で示す領域 1 3 5 は予め決めた検査領域幅 A 3 四方と縦方向、横方
向に等間隔 S 3 で配置した検査間隔を表す。1 3 1 ～1 3 4 は検証領域の移動状
態を示す。図 4 3 は図 4 2 の検査間隔を拡大して配線レイアウト 1 3 8 との関係
を示したものである。

【 0 1 4 5 】

図 4 1 はこの発明の第 1 2 の実施の形態の検証アルゴリズムを示すフローチャ
ートである。以下フローチャートに沿って検証手順を説明する。

【 0 1 4 6 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で
形成不良の発生を検証する際、チップレイアウト全面を複数の検証領域に分割す
る工程と、検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一
ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づ
いて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチ
ップレイアウト上の全面を走査する工程とを含む。

【 0 1 4 7 】

この場合、図 4 3 に示すように、検証対象の入力レイアウト 1 3 8 において一
括検証領域 1 3 5 を定義する。検証領域は幅 A 3 四方を縦方向、横方向に等間隔
S 3 で配置する（ステップ 1 3 A）。以下検証領域 1 3 5 を使った同一ノード総
面積とコンタクトホール総面積との面積比の制限方法について述べる。

【 0 1 4 8 】

前記検証領域 1 3 5 で検証を行い、完了すると検証領域 1 3 5 は検証すべきレ
イアウト内を移動し再度別領域の検証を行う。検証領域 1 3 5 が全面を走査して
レイアウト全面の検証が完了となる。以下、検証領域 1 3 5 が移動する一例を挙

げて説明する。

【0149】

まず初めにレイアウト全面の左下に合わせて検証領域を選択する（図42（a））。前記領域135での検証が完了すると、次に縦方向132に予め決めた間隔で検証領域135を移動する（図42（b））。132で示した縦方向への移動を初めの位置から $S3$ （検証領域の間隔）+ $A3$ （検証領域の枠の1辺の長さ）移動するまで繰り返す。次に133で示すように横方向にも同様に検証領域が $S3 + A3$ 移動するまで繰り返す（図42（c））。最後に134で示した斜め方向にも同様に検証領域が移動するまで繰り返す（図42（d））。三方向完了した時点でレイアウト全面の検証が完了とする（ステップ13B）。

【0150】

次に前記検証領域135とレイアウト138内の配線137が重なる配線139を選択する（ステップ13C）。前記検証領域135とレイアウト138内のコンタクトホールが重なるコンタクトホール140を選択する（ステップ13D）。ステップ13Cとステップ13Dで選択した配線139とコンタクトホール140をアンテナチェックに用いて同一ノードの配線の総面積と同一ノード配線上のコンタクトホールの総面積との比率を計算する（ステップ13E）。通常アンテナチェックはゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線139を用いることで配線と配線に接続するコンタクトホールとの比率を求めることが可能である。ステップ13Eで計算した総面積比と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ13F）。次に前記検証領域135がレイアウト全面を走査したかを判定する（ステップ13G）。全てを走査しなければステップ13B～ステップ13Gを繰り返す。全て走査していれば検証完了となる。

【0151】

図40はこの発明の第12の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0152】

図 4 0 に示すように、検証領域選択ステップ 1 3 a はレイアウトデータ 1 3 8 を入力し、一括検証領域 1 3 5 を選択し出力する。配線認識ステップ 1 3 b は前記検証領域 1 3 5 とレイアウトデータ 1 3 8 を入力してレイアウトデータから検証領域 1 3 5 と重なる配線 1 3 9 を選択する。コンタクト認識ステップ 1 3 c は前記検証領域 1 3 5 とレイアウトデータ 1 3 8 を入力してレイアウトデータから検証領域 1 3 5 と重なるコンタクト 1 4 0 を選択する。面積比計算ステップ 1 3 d はステップ 1 3 b で選択した配線 1 3 9 とステップ 1 3 c で選択したコンタクトホール 1 4 0 を入力し、ゲートの代わりに配線 1 3 9 を用いてアンテナチェックを行う。

【 0 1 5 3 】

エラー判定ステップ 1 3 e はステップ 1 3 d から出力される面積比と予め決められたエラー条件とを比較し、条件に満たない場合にエラーとして選択した配線 1 3 9 とコンタクトホール 1 4 0 を出力する。

【 0 1 5 4 】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【 0 1 5 5 】

この発明の第 1 3 の実施の形態を図 4 4 ～図 4 6 に基づいて説明する。

【 0 1 5 6 】

図 4 5 はこの発明の第 1 3 の実施の形態の検証アルゴリズムを示すフローチャートである。以下フローチャートに沿って検証手順を説明する。

【 0 1 5 7 】

この半導体装置のレイアウト検証方法は、チップレイアウト上の大面積配線で形成不良の発生を検証する際、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含む。

【 0 1 5 8 】

この場合、図46に示すように、検証対象の入力レイアウト142において大きさA4で定義した一部検証領域143で面積比計算を行い、移動ステップS4（＜A4）で前記一部検証領域がレイアウト全面を走査して同一ノード配線と配線に接続されるコンタクトホールとの総面積比を制限する方法について述べる。

【0159】

前記一部検証領域143で検証を行い、完了すると一部検証領域143は検証すべきレイアウト内を移動し再度別領域の検証を行う。一部検証領域143が全面を走査してレイアウト全面の検証が完了となる（ステップ14A）。前記一部検証領域143とレイアウト142内の配線141が重なる配線145を選択する（ステップ14B）。前記一部検証領域143とレイアウト142内のコンタクトホールが重なるコンタクトホール146を選択する（ステップ14C）。ステップ14Bとステップ14Cで選択した配線145とコンタクトホール146をアンテナチェックに用いて同一ノードの配線の総面積と同一ノード配線上のコンタクトホールの総面積との比率を計算する（ステップ14D）。通常アンテナチェックはゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線145を用いることで配線と配線に接続するコンタクトホールとの比率を求めることが可能である。ステップ14Dで計算した総面積比と予め決められたエラー条件とを比較して制限値以上となる場合、配線形成不良が発生するエラー箇所として検出する（ステップ14E）。次に前記一部検証領域143がレイアウト全面を走査したかを判定する（ステップ14F）。全てを走査してなければステップ14A～ステップ14Eを繰り返す。全て走査していれば検証完了となる。

【0160】

図44はこの発明の第13の実施の形態の検証時のデータの流れを示すデータフローである。以下データフローについて説明する。

【0161】

図44に示すように、一部検証領域選択ステップ14aはレイアウトデータ142を入力し、一部検証領域143を選択し出力する。配線認識ステップ14bは前記一部検証領域143とレイアウトデータ142を入力してレイアウトデー

タから一部検証領域143と重なる配線145を選択する。コンタクト認識ステップ14cは前記一部検証領域143とレイアウトデータ142を入力してレイアウトデータ142から一部検証領域143と重なるコンタクト146を選択する。面積比計算ステップ14dはステップ14bで選択した配線145とステップ14cで選択したコンタクトホール140を入力し、ゲートの代わりに配線145を用いてアンテナチェックを行う。

【0162】

エラー判定ステップ14eはステップ14dから出力される面積比と予め決められたエラー条件とを比較し、条件に満たない場合はエラーとして選択した配線145とコンタクトホール146を出力する。

【0163】

以上により入力レイアウト上で配線形成不良が発生する箇所を検出できる。

【0164】

【発明の効果】

この発明の請求項1記載の半導体装置のレイアウト検証方法によれば、配線上のコンタクトホールのレイアウトと配線のレイアウトとの関係から配線形成不良箇所を検出するので、大面積配線上のコンタクトホールが高密度の場合に、ヒロックの発生を防止し、半導体製造時に発生する配線不良を防止することができる。

【0165】

請求項2では、配線形成不良箇所を検出した配線のレイアウトを修正するので、幅広配線上ヒロックによる配線の剥離不良を低減することができる。

【0166】

この発明の請求項3記載の半導体装置のレイアウト検証方法によれば、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 1 6 7 】

この発明の請求項 4 記載の半導体装置のレイアウト検証方法によれば、同一ノード配線上のコンタクトホールを制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 1 6 8 】

この発明の請求項 5 記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールを制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で個数制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 1 6 9 】

この発明の請求項 6 記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの総面積を制限し、この面積制限に基づいて良否判定することにより配線形成不良箇所を検出するので、レイアウト設計段階で面積制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【 0 1 7 0 】

この発明の請求項 7 記載の半導体装置のレイアウト検証方法によれば、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積を計算する工程と、同一ノード配線の総面積に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホール総面積の制限が変化することで、請求項 3 と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【 0 1 7 1 】

この発明の請求項 8 記載の半導体装置のレイアウト検証方法によれば、同一ノード配線の総面積と同一ノード配線上のコンタクトホールの個数を計算する工程と、同一ノード配線の総面積に応じて前記コンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、同一ノード配線の総面積に応じてコンタクトホールの個数制限が変化することで、請求項 4 と同様の作用効果が得られるとともに、配線の幅／面積に応じて制限値を高精度に微調整できる。

【 0 1 7 2 】

この発明の請求項 9 記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの個数を計算する工程と、配線幅に応じてコンタクトホールの個数制限値を決定する工程とを含み、コンタクトホールの個数が個数制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの個数制限が変化することで、請求項 5 と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【 0 1 7 3 】

この発明の請求項 1 0 記載の半導体装置のレイアウト検証方法によれば、一定幅の配線上のコンタクトホールの総面積を計算する工程と、配線幅に応じてコンタクトホールの面積制限値を決定する工程とを含み、コンタクトホールの総面積が面積制限値以上のとき配線形成不良箇所として検出するので、配線幅に応じてコンタクトホールの面積制限が変化することで、請求項 6 と同様の作用効果が得られるとともに、コンタクトの面積／個数に応じて制限値を高精度に微調整できる。

【 0 1 7 4 】

この発明の請求項 1 1 記載の半導体装置のレイアウト検証方法によれば、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域で一定幅の配線上のコンタクトホールの個数を制限し、この個数制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項 5 と同様の検証を行い、

検証領域が全面を走査することでレイアウト全面の検証が完了する。チップ全面を領域分割することでチップ全面に比べ局所的にコンタクトの密集した部分を検出し形成不良を回避できる。

【 0 1 7 5 】

請求項 1 2 では、チップレイアウトのチップ全面を検証する全面検証とチップの一部を検証する一部検証とで、検証領域の走査間隔が変動するので、チップ全面検証は処理 T A T を優先、一部検証は詳細な検証を優先というように目的に応じて走査間隔を使い分けることができる。

【 0 1 7 6 】

請求項 1 3 では、チップ全面検証は処理 T A T を優先、一部検証は詳細な検証を優先というように目的に応じて検証領域の大きさを使い分けることができる。

【 0 1 7 7 】

請求項 1 4 では、チップレイアウト上で接続するコンタクトホールが一定の数に満たない配線を予め除いた上で、一定幅の配線上のコンタクトホールの個数を制限するので、不良が発生する可能性がある配線上の最低限のコンタクトホール個数を定義してコンタクトホールの個数によって検証する必要がない配線を削除し、請求項 5 と同様にコンタクトホールの個数制限を実施することで、処理 T A T を短縮することができる。

【 0 1 7 8 】

請求項 1 5 では、複数の検証領域のうちコンタクトホールの個数が一定以上となる検証領域に限定して、一定幅の配線上のコンタクトホールの個数を制限するので、コンタクトホールの個数によって検証する必要がない検証領域を選択しないで、請求項 1 1 と同様にコンタクトホールの個数制限を実施することで、処理 T A T を短縮することができる。

【 0 1 7 9 】

この発明の請求項 1 6 記載の半導体装置のレイアウト検証方法によれば、チップレイアウト全面を複数の検証領域に分割する工程と、検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形

成不良箇所を検出する工程と、検証領域がチップレイアウト上の全面を走査する工程とを含むので、検証領域内で請求項3と同様の検証を行い、検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【0180】

この発明の請求項17記載の半導体装置のレイアウト検証方法によれば、チップレイアウト上に一部検証領域を定義する工程と、一部検証領域でアンテナチェックを用いて同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する工程と、一部検証領域がデンシティチェックを用いてチップレイアウト上の全面を走査する工程とを含むので、一部検証領域内で請求項3と同様の検証を行い、一部検証領域が全面を走査することでレイアウト全面の検証が完了する。このため、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。また、アンテナチェックは通常ゲートとゲートに接続するコンタクトの比率を計算するが、ゲートの代わりに配線を用いることでこの検証に適用できる。

【図面の簡単な説明】

【図1】

この発明の実施の形態に適用される半導体レイアウト上の配線とコンタクトホール層を示すレイアウト図である。

【図2】

この発明の第1の実施の形態の検証時のデータの流れを示すデータフローである。

【図3】

この発明の第1の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 4】

この発明の第 1 の実施の形態の検証プロセスを示す説明図である。

【図 5】

この発明の第 2 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 6】

この発明の第 2 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 7】

この発明の第 2 の実施の形態の検証プロセスを示す説明図である。

【図 8】

【図 9】

この発明の第 3 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 1 0】

この発明の第 3 の実施の形態の検証プロセスを示す説明図である。

【図 1 1】

この発明の第 4 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 1 2】

この発明の第 4 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 1 3】

この発明の第 4 の実施の形態の検証プロセスを示す説明図である。

【図 1 4】

この発明の第 5 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 1 5】

この発明の第 5 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 1 6】

この発明の第 5 の実施の形態の検証プロセスを示す説明図である。

【図 1 7】

この発明の第 6 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 1 8】

この発明の第 6 の実施の形態の検証アルゴリズムを示すフローチャートである

【図 1 9】

この発明の第 6 の実施の形態の検証プロセスを示す説明図である。

【図 2 0】

この発明の第 7 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 2 1】

この発明の第 7 の実施の形態の検証アルゴリズムを示すフローチャートである

【図 2 2】

この発明の第 7 の実施の形態の検証プロセスを示す説明図である。

【図 2 3】

この発明の第 8 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 2 4】

この発明の第 8 の実施の形態の検証アルゴリズムを示すフローチャートである

【図 2 5】

この発明の第 8 の実施の形態の検証プロセスを示す説明図である。

【図 2 6】

この発明の第 9 の実施の形態の検証時のデータの流れを示すデータフローであ

る。

【図 2 7】

この発明の第 9 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 2 8】

この発明の第 9 の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図 2 9】

この発明の第 9 の実施の形態の検証プロセスを示す説明図である。

【図 3 0】

この発明の第 9 の実施の形態の検証プロセスを示す説明図である。

【図 3 1】

この発明の第 1 0 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 3 2】

この発明の第 1 0 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 3 3】

この発明の第 1 0 の実施の形態の検証プロセスを示す説明図である。

【図 3 4】

この発明の第 1 1 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 3 5】

この発明の第 1 1 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 3 6】

この発明の第 1 1 の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図 3 7】

この発明の第 1 1 の実施の形態の検証プロセスを示す説明図である。

【図 3 8】

この発明の第 1 1 の実施の形態の検証プロセスを示す説明図である。

【図 3 9】

この発明の第 1 1 の実施の形態の検証プロセスを示す説明図である。

【図 4 0】

この発明の第 1 2 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 4 1】

この発明の第 1 2 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 4 2】

この発明の第 1 2 の実施の形態において一括してコンタクトホールの個数を検査する領域を示す説明図である。

【図 4 3】

この発明の第 1 2 の実施の形態の検証プロセスを示す説明図である。

【図 4 4】

この発明の第 1 3 の実施の形態の検証時のデータの流れを示すデータフローである。

【図 4 5】

この発明の第 1 3 の実施の形態の検証アルゴリズムを示すフローチャートである。

【図 4 6】

この発明の第 1 2 の実施の形態の検証プロセスを示す説明図である。

【符号の説明】

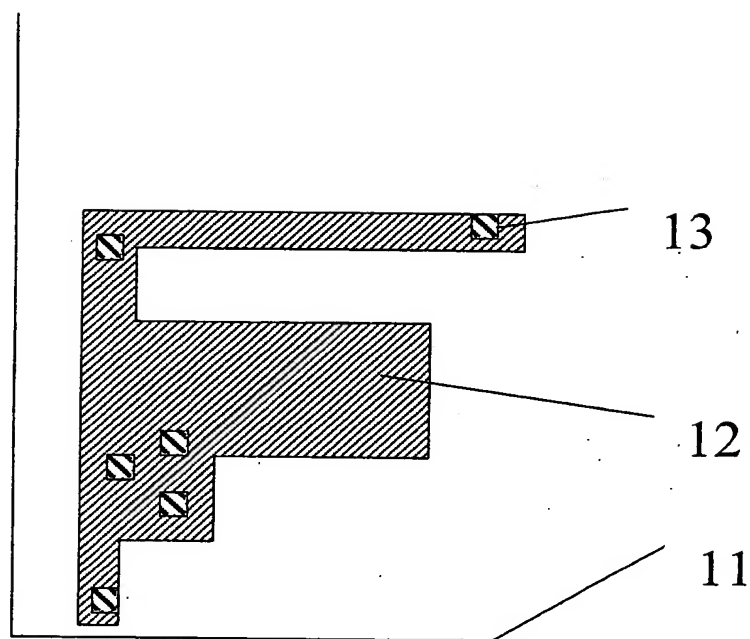
- 1 1 検証対象のチップ全面
- 1 2 配線レイアウト
- 1 3 コンタクトホール
- 1 4 チップ内のレイアウトパターン
- 1 5 同一ノード配線レイアウト

- 1 7 同一ノード配線上のコンタクトホール
- 1 9 配線検出領域
- 1 A 同一ノード配線選択
- 1 B 同一ノード配線面積計算
- 1 C 同一ノード配線上コンタクトホール選択
- 1 D 同一ノード配線上コンタクトホール面積計算
- 1 E 同一ノード配線上の配線面積とコンタクトホール総面積の比率計算
- 1 F エラー判定
- 1 G 入力データ更新
- 1 H 同一ノード配線の検出終了判定
- 1 a 同一ノード配線認識ステップ
- 1 b 同一ノード配線上コンタクトホール認識ステップ
- 1 c 同一ノード配線とコンタクトホールの総面積計算ステップ
- 1 d 面積比計算ステップ
- 1 e エラー判定ステップ

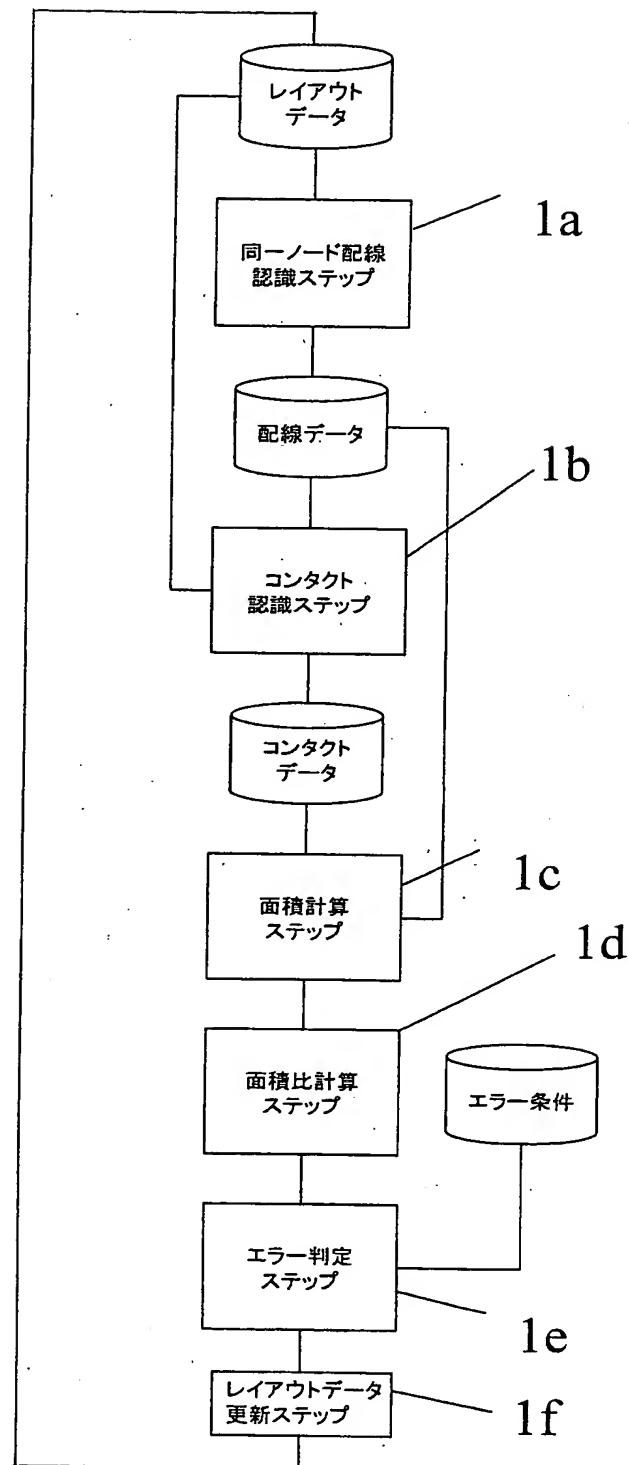
【書類名】

図面

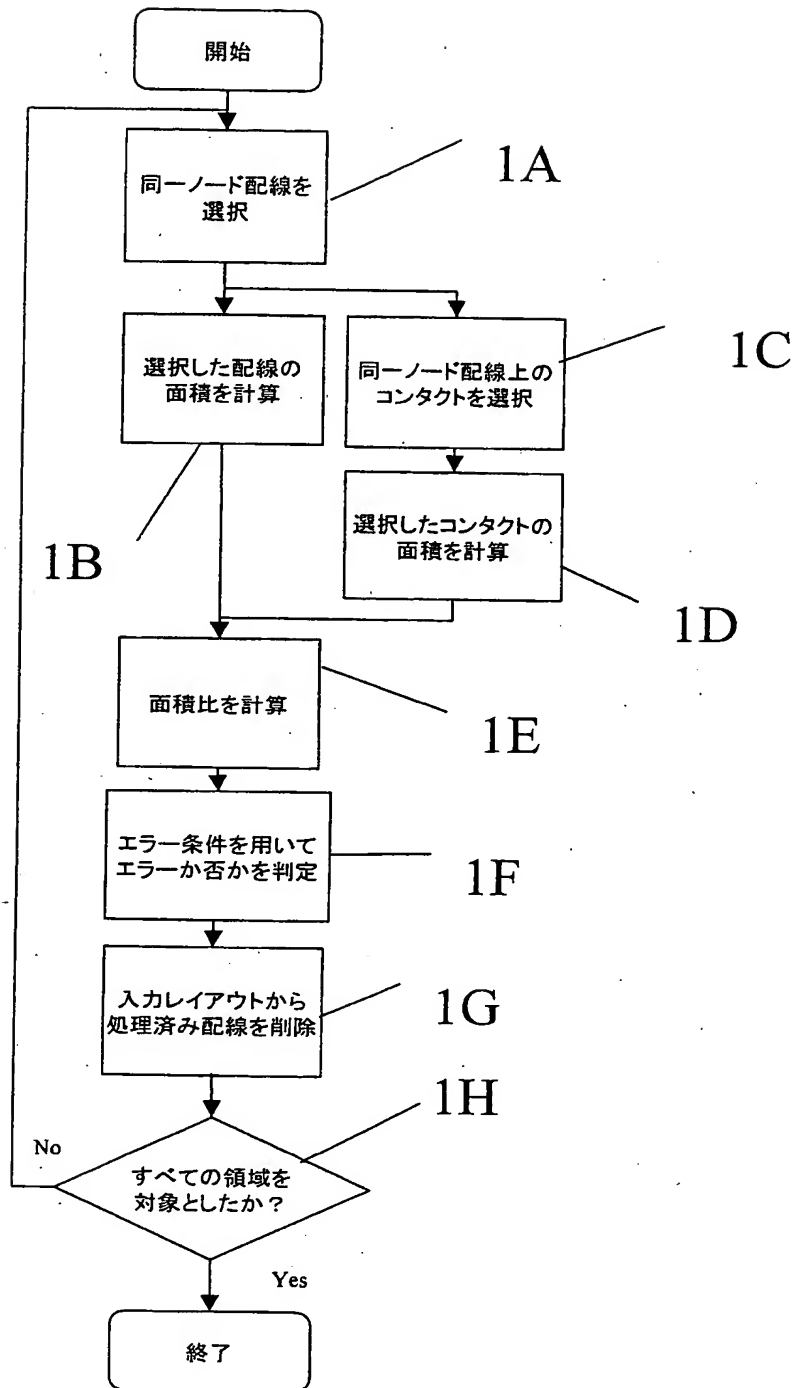
【図 1】



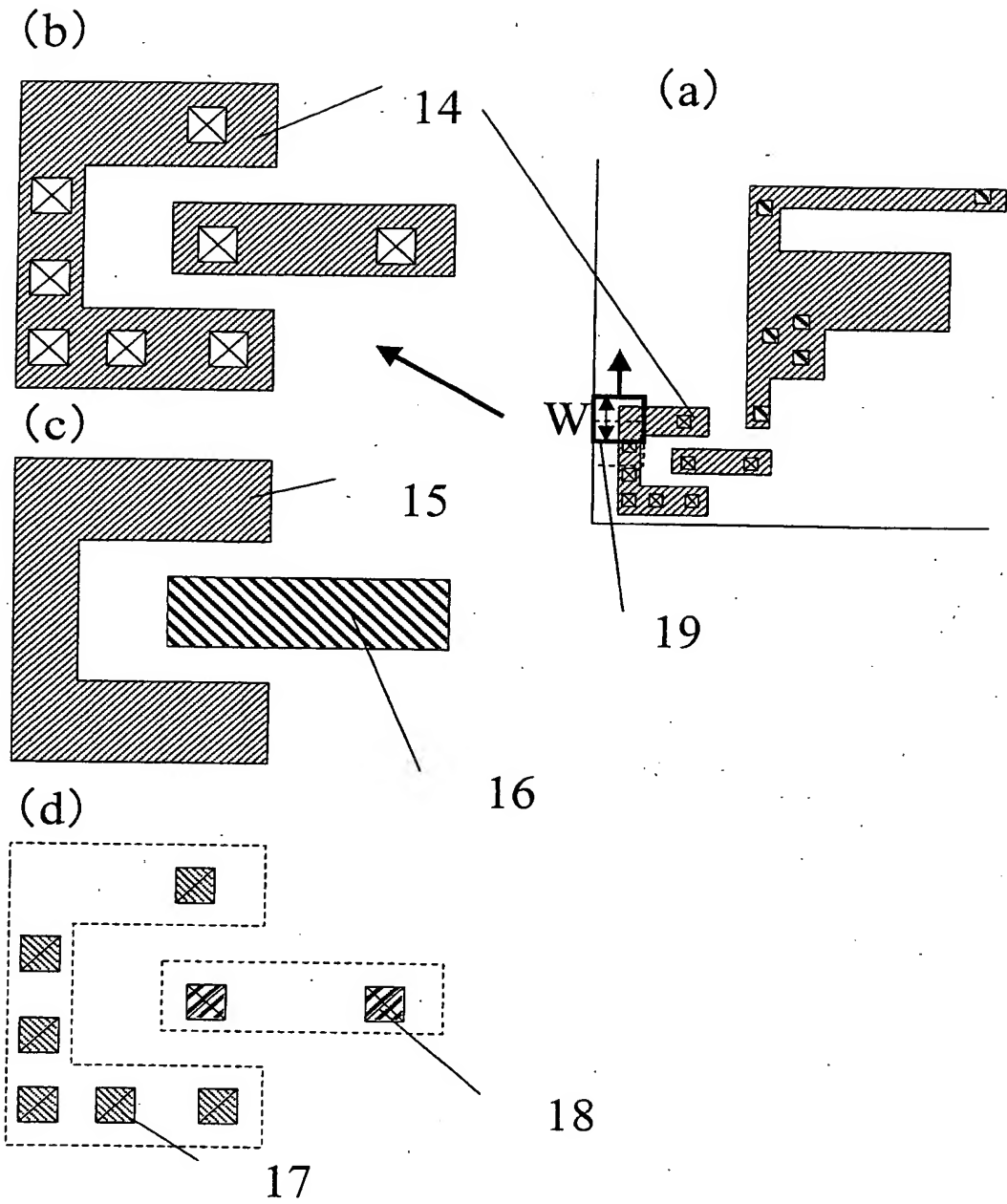
【図 2】



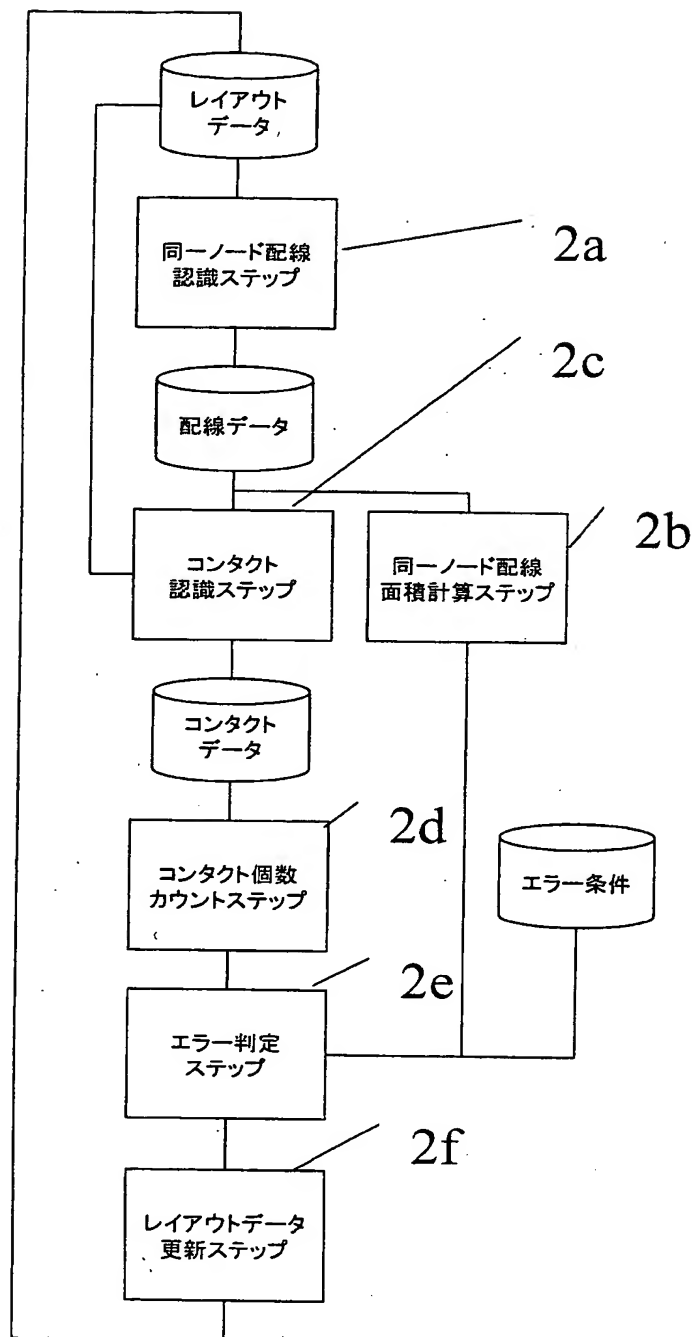
【図 3】



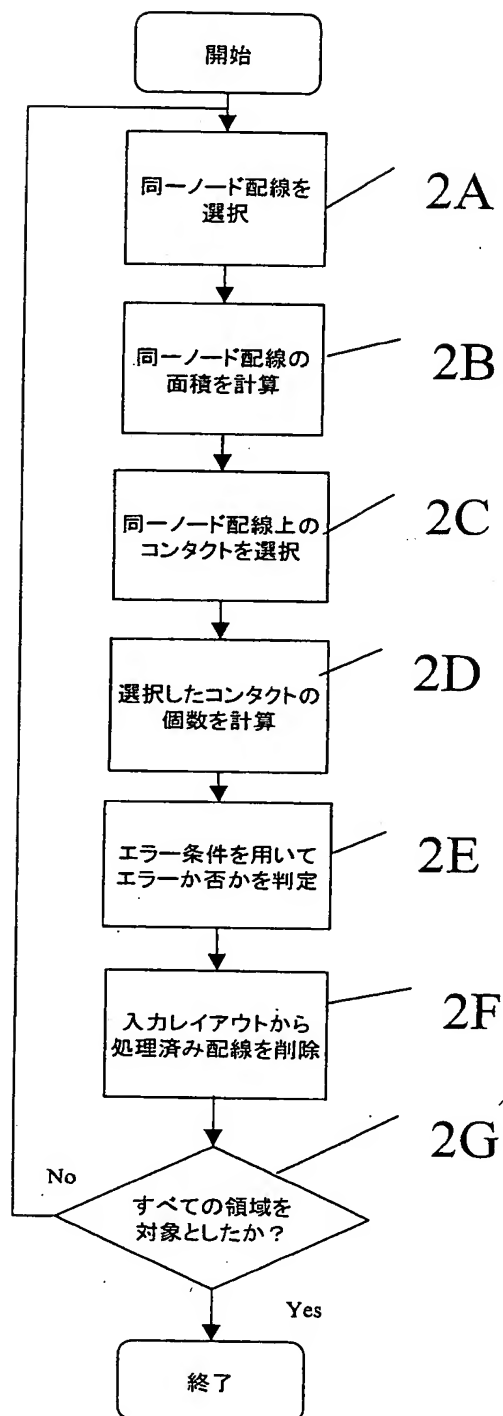
【図 4】



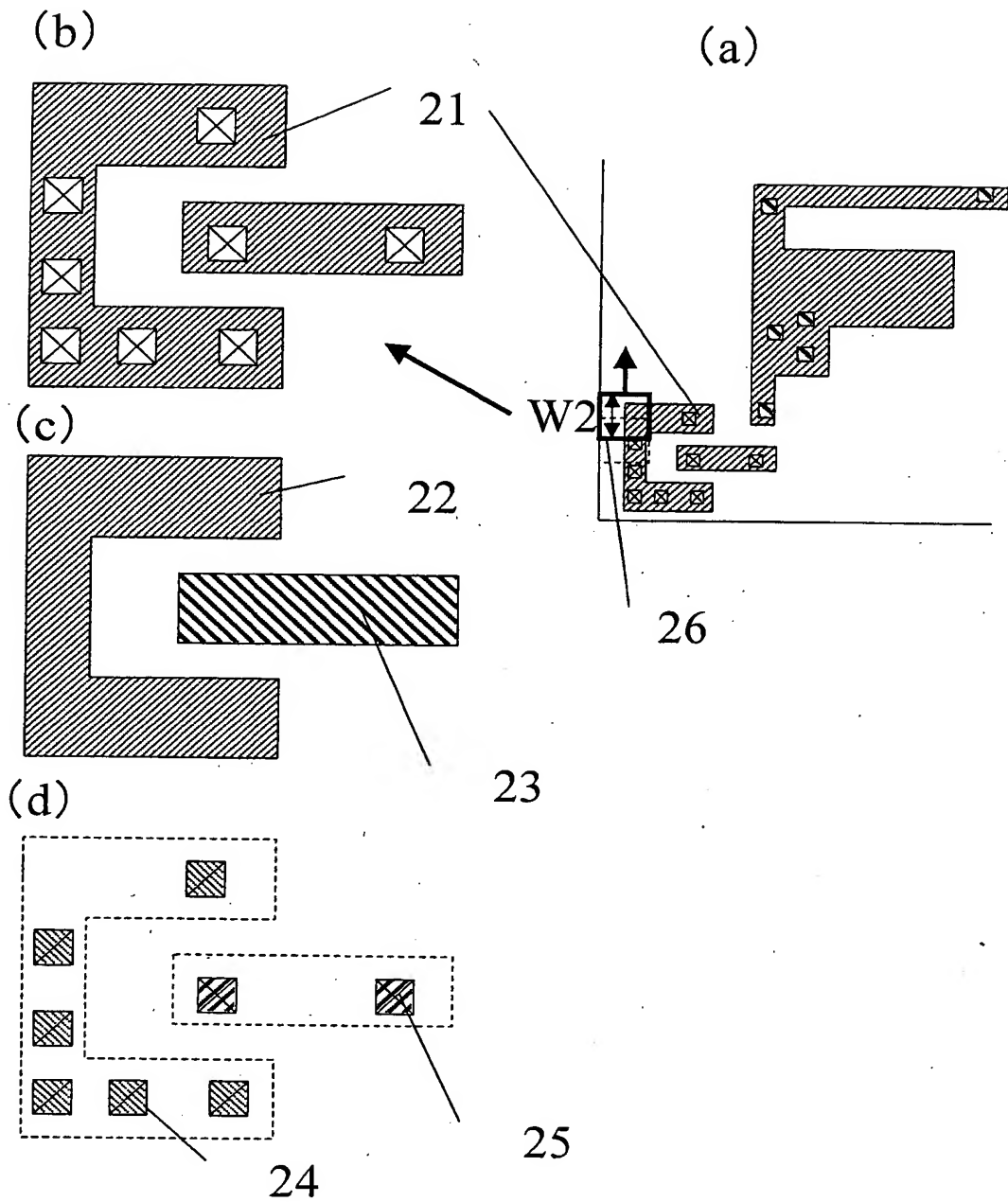
【図 5】



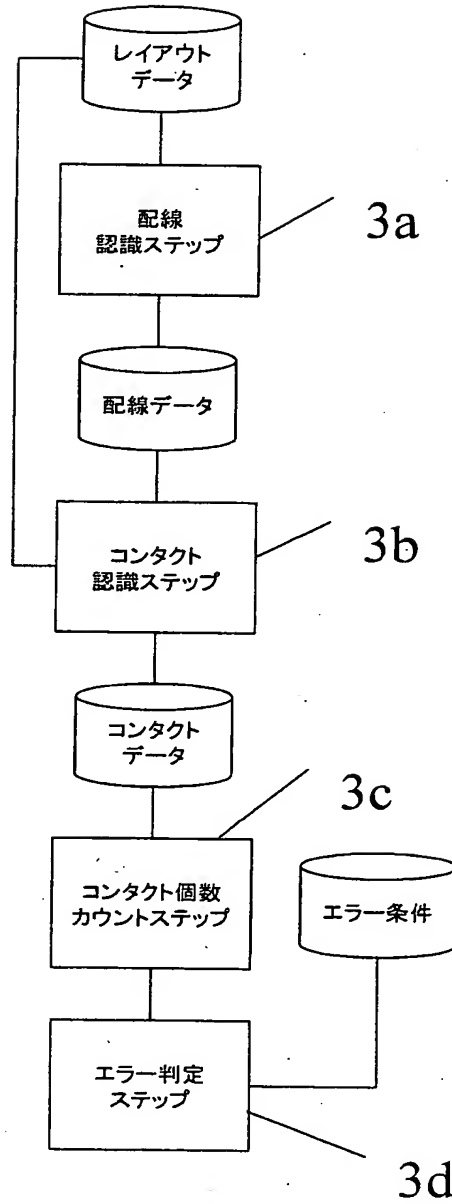
【図 6】



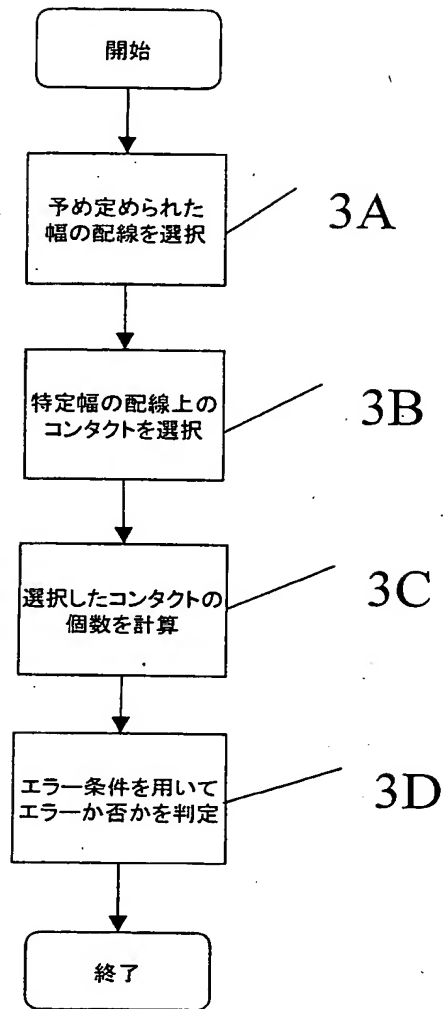
【図 7】



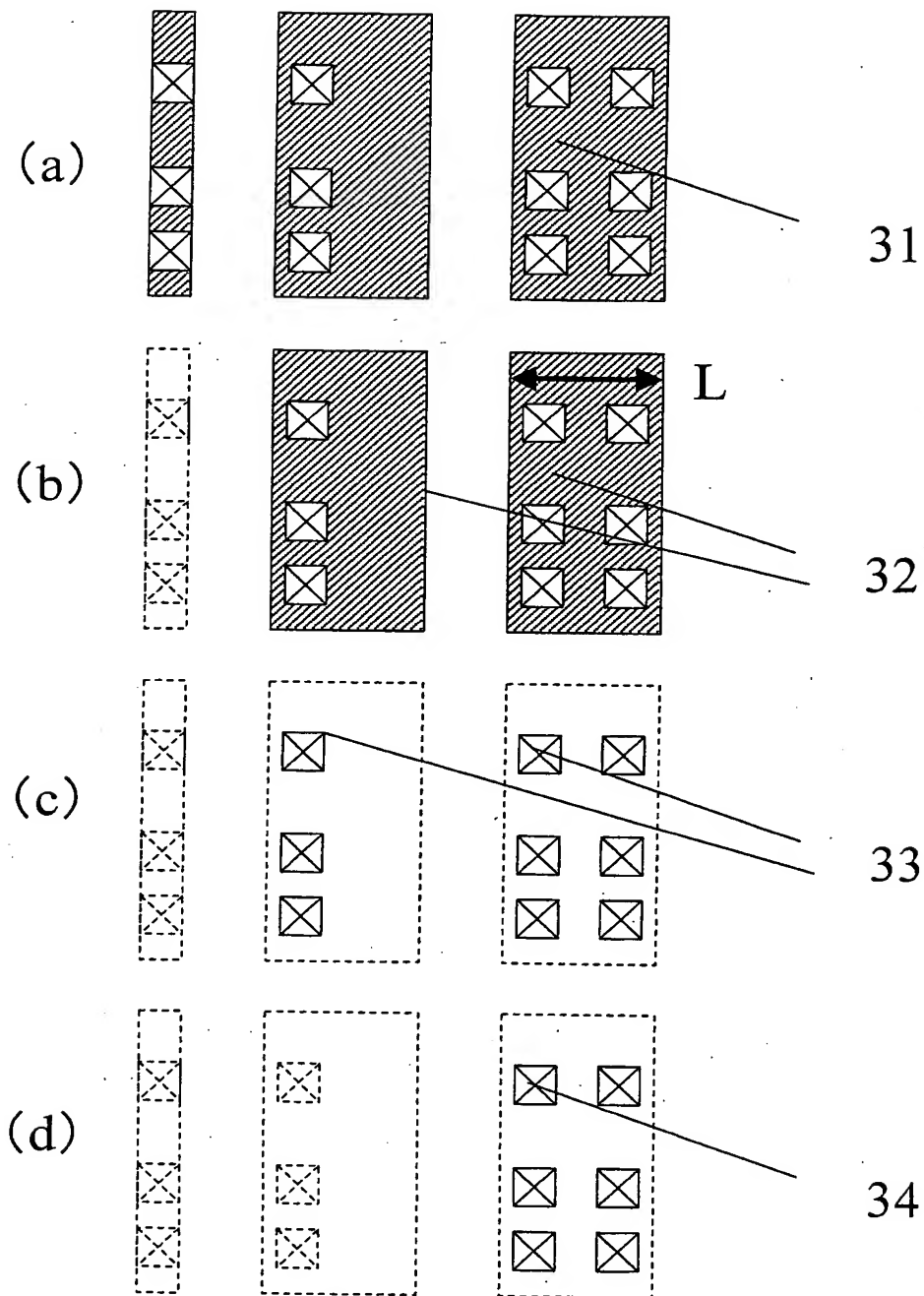
【図 8】



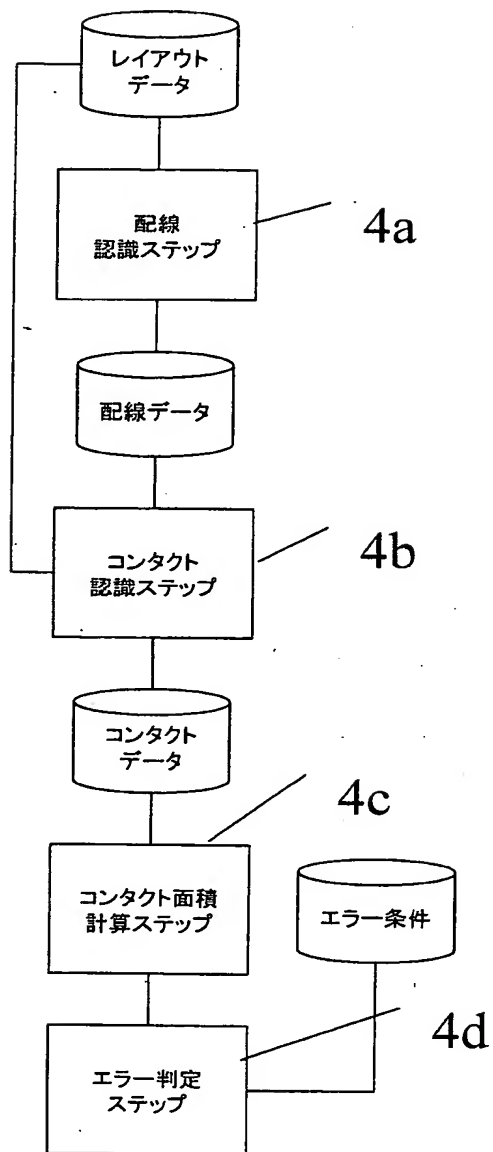
【図 9】



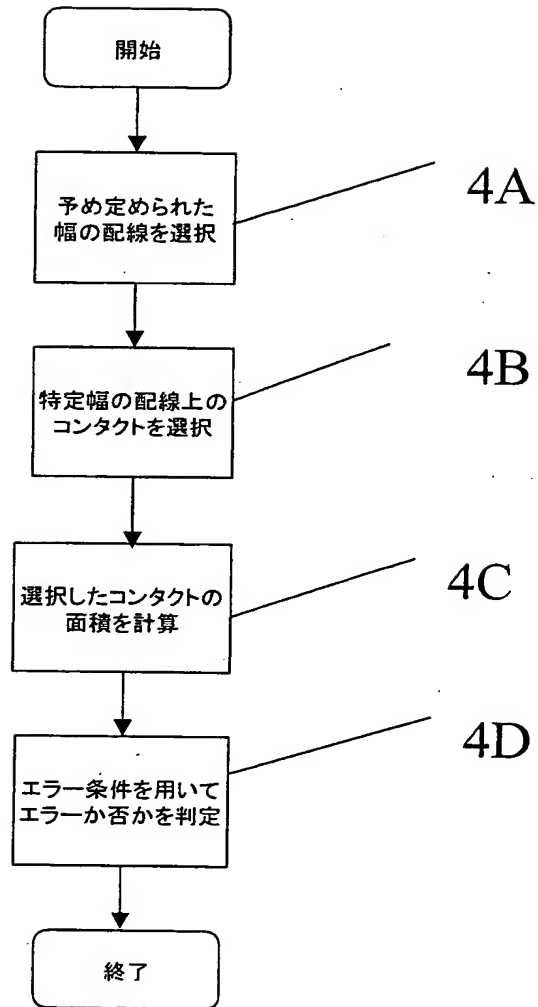
【図10】



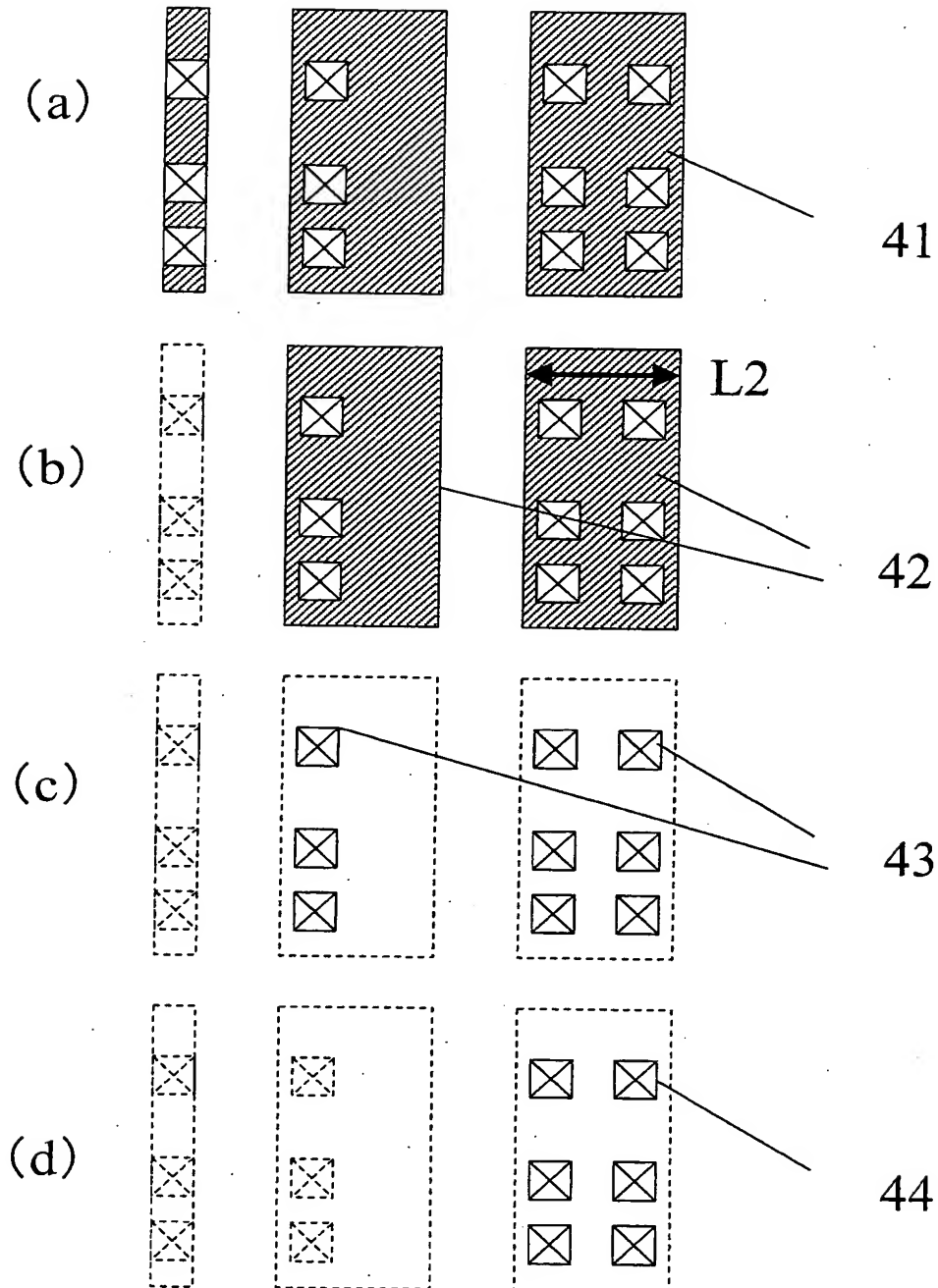
【図 1 1】



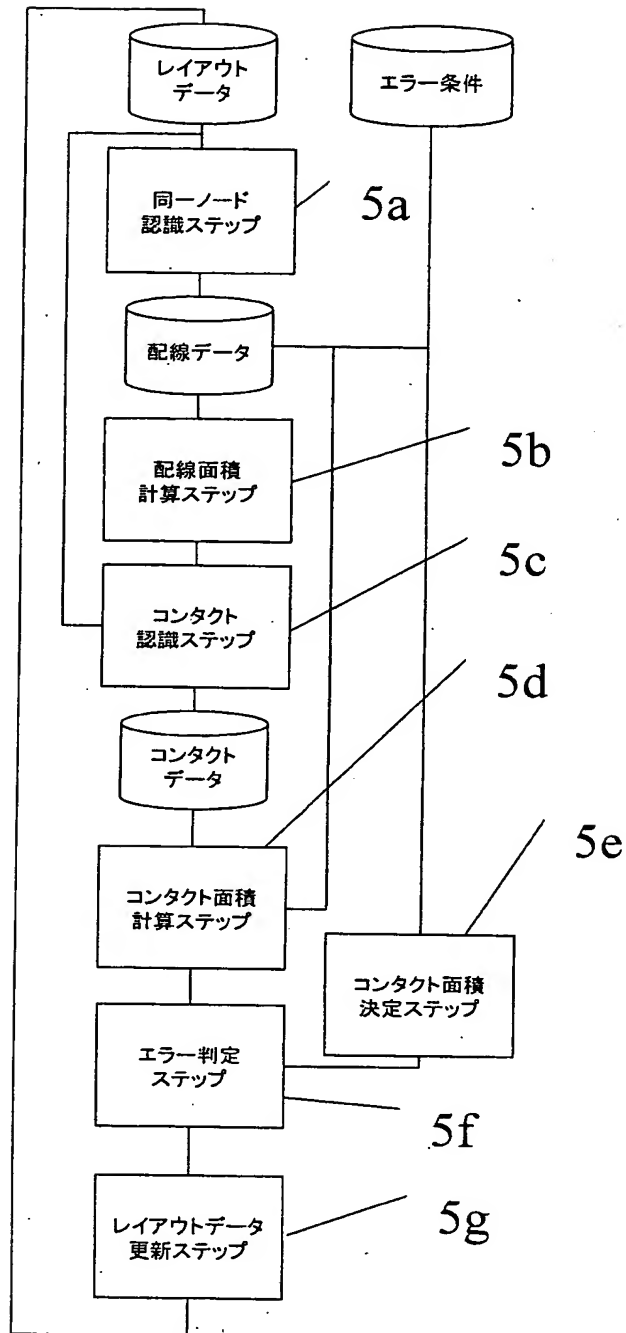
【図 12】



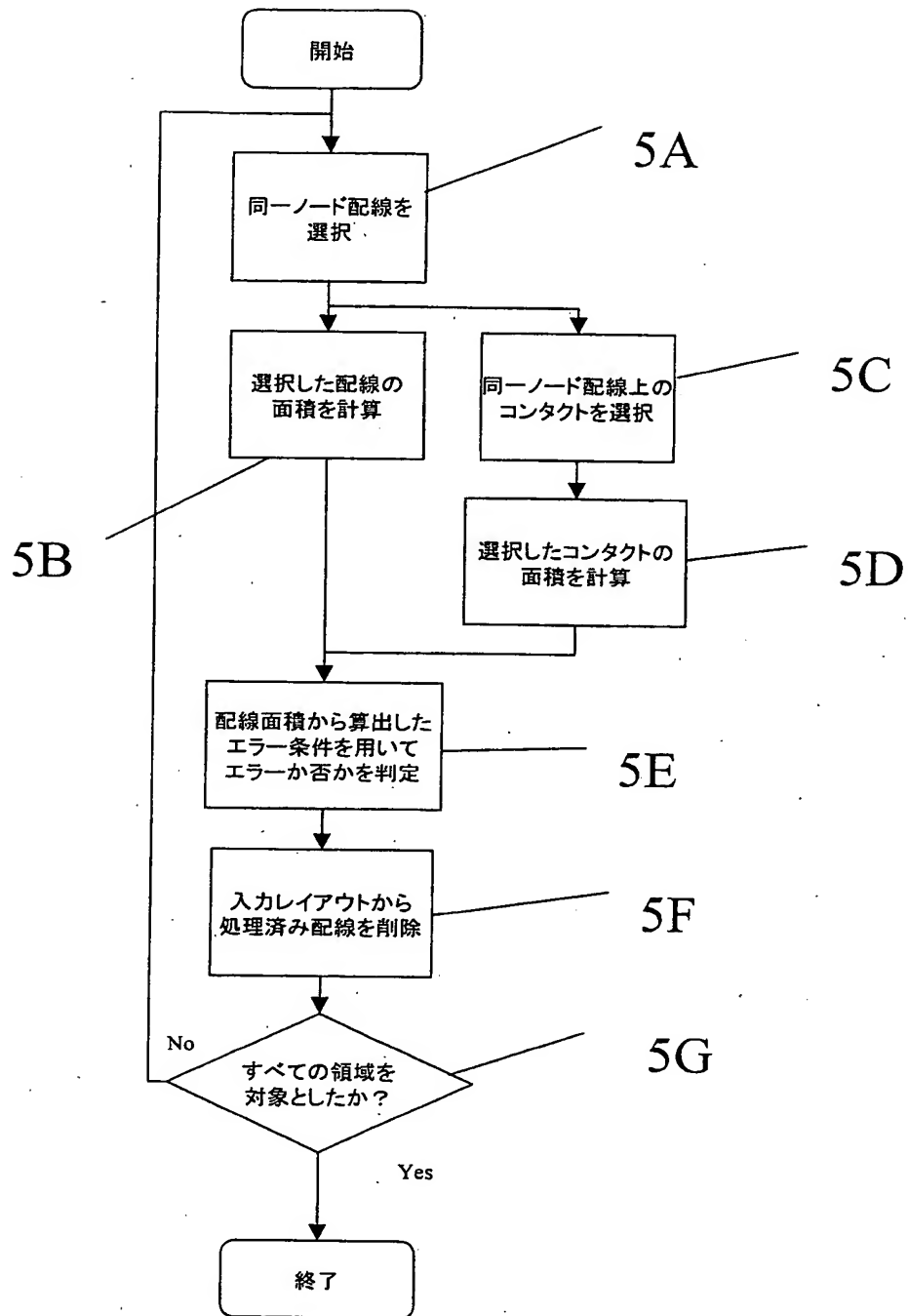
【図 13】



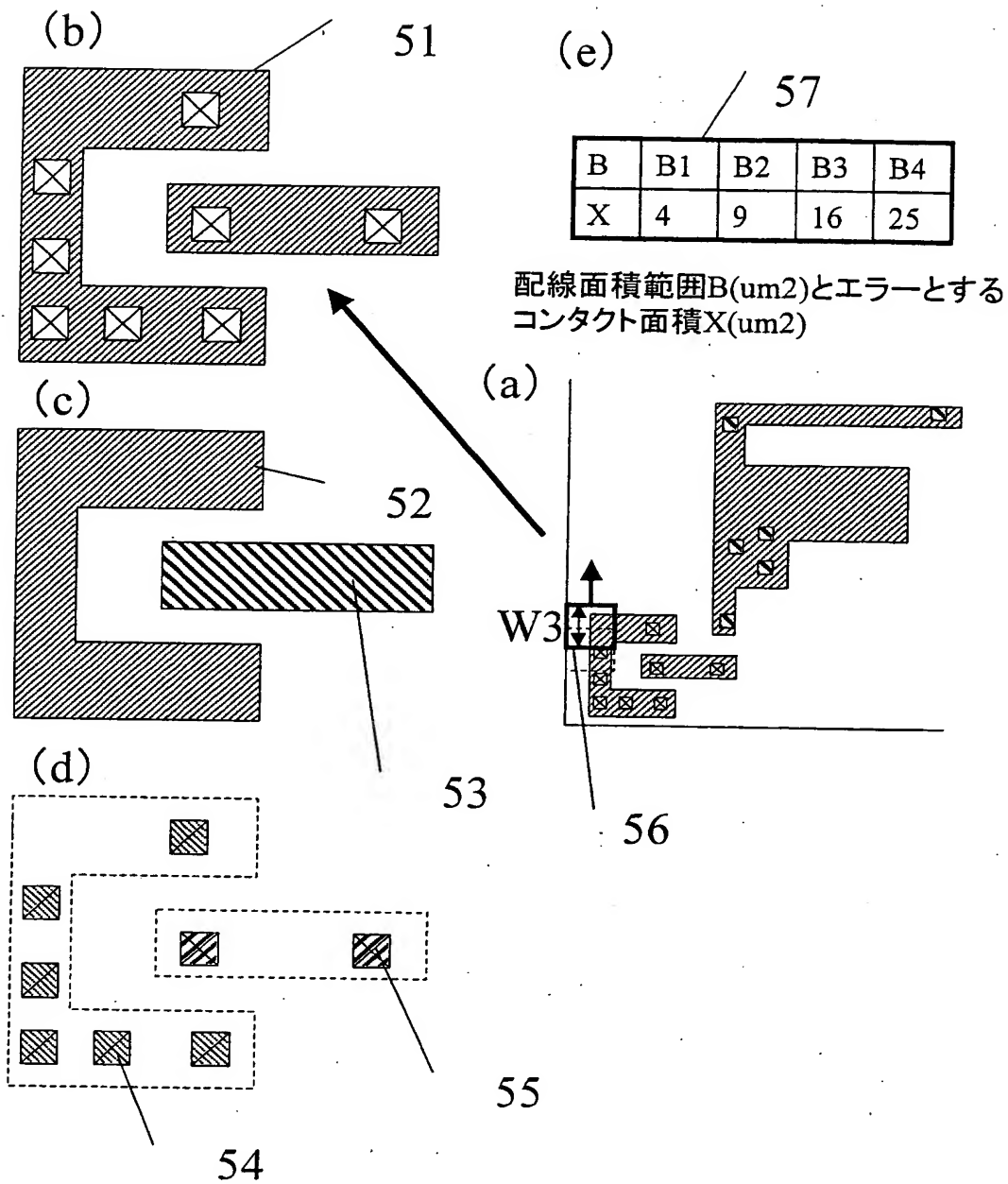
【図14】



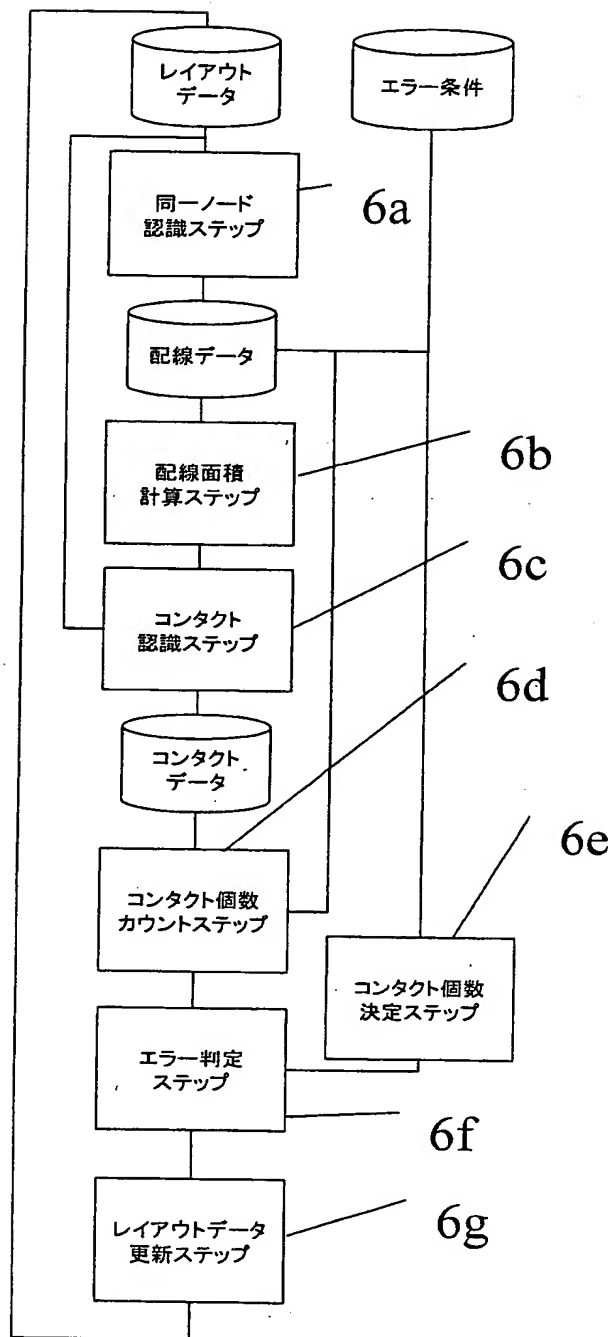
【図 15】



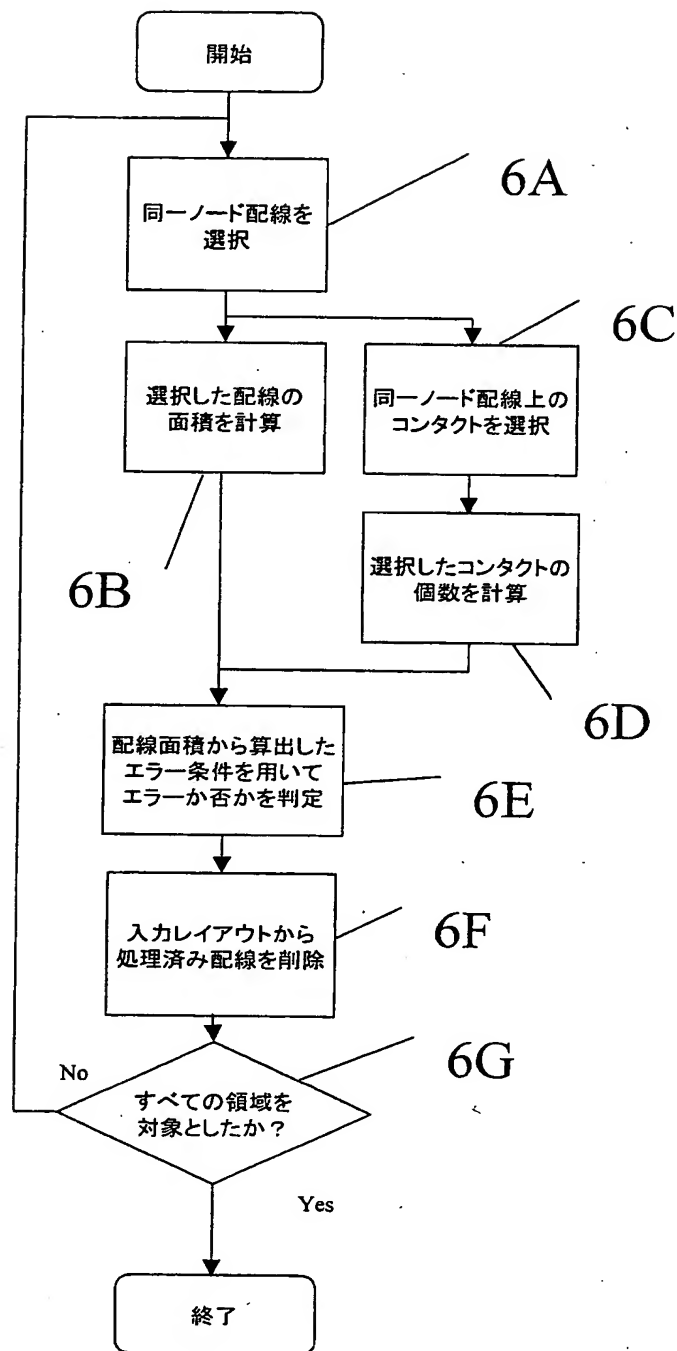
【図16】



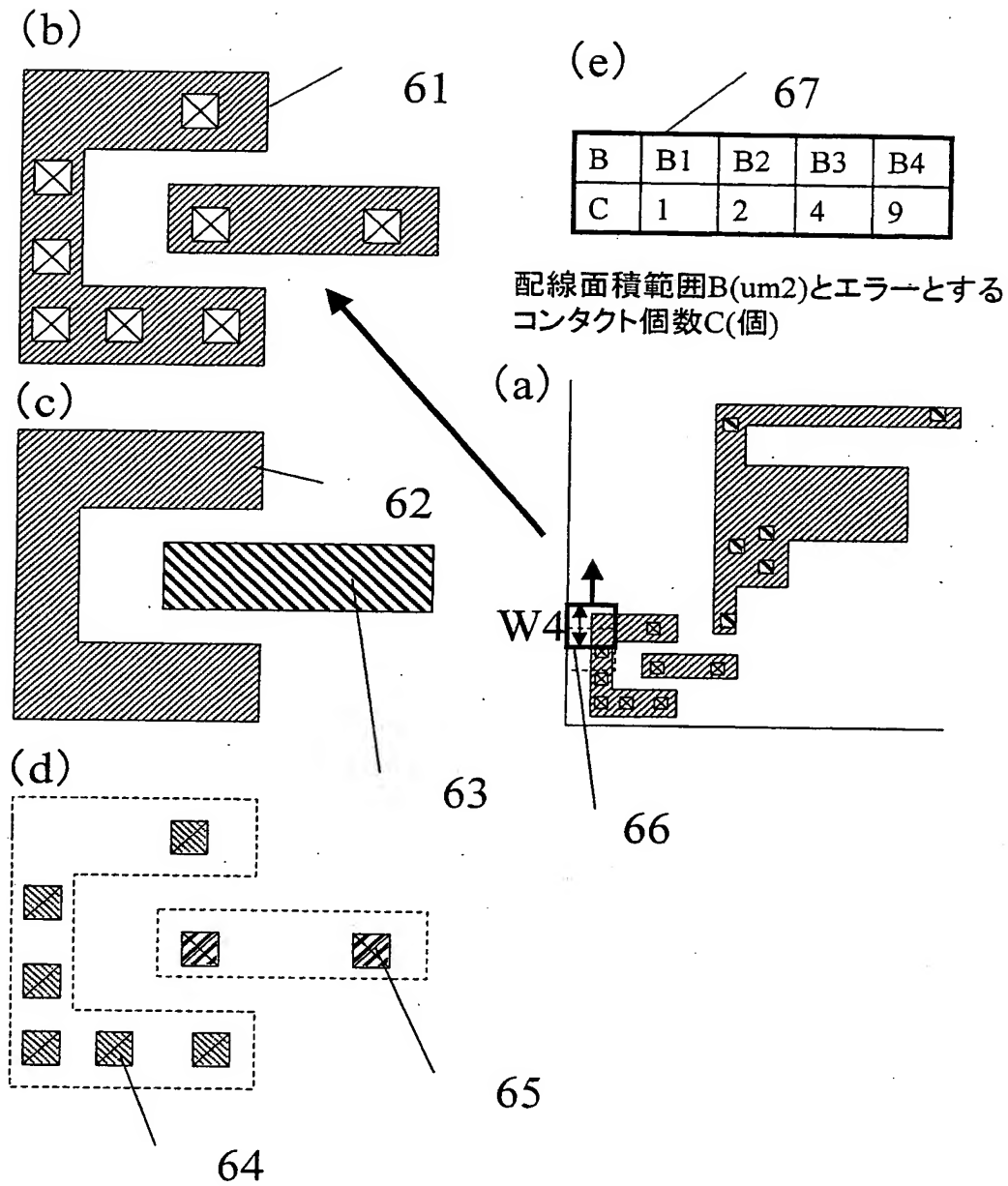
【図 17】



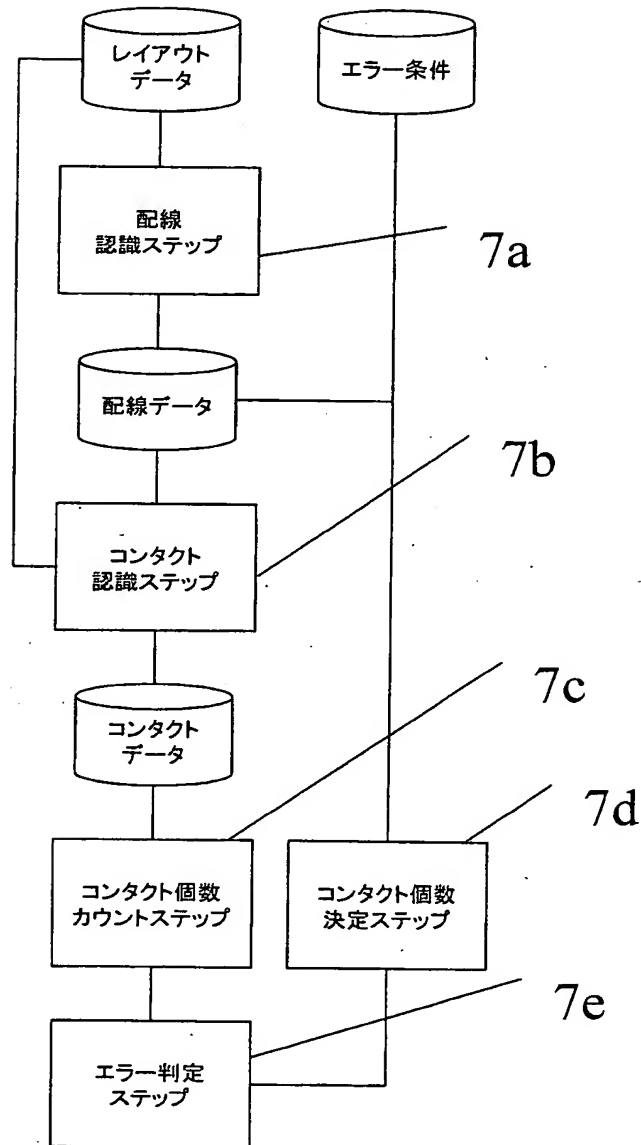
【図 18】



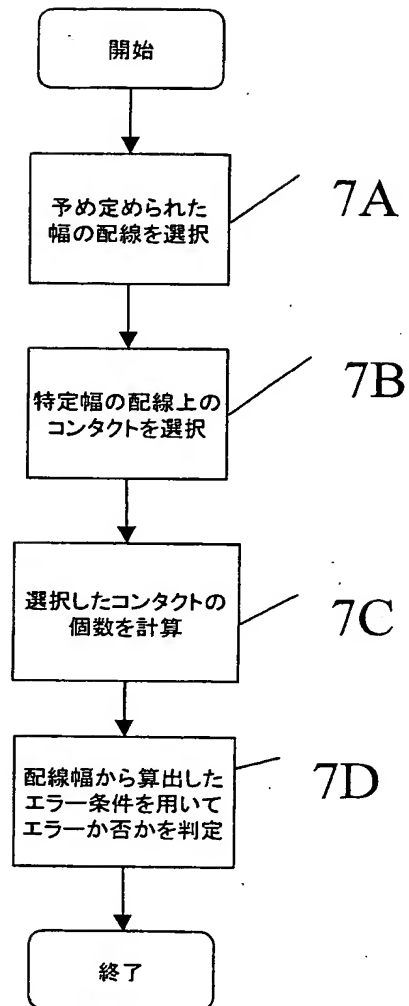
【図19】



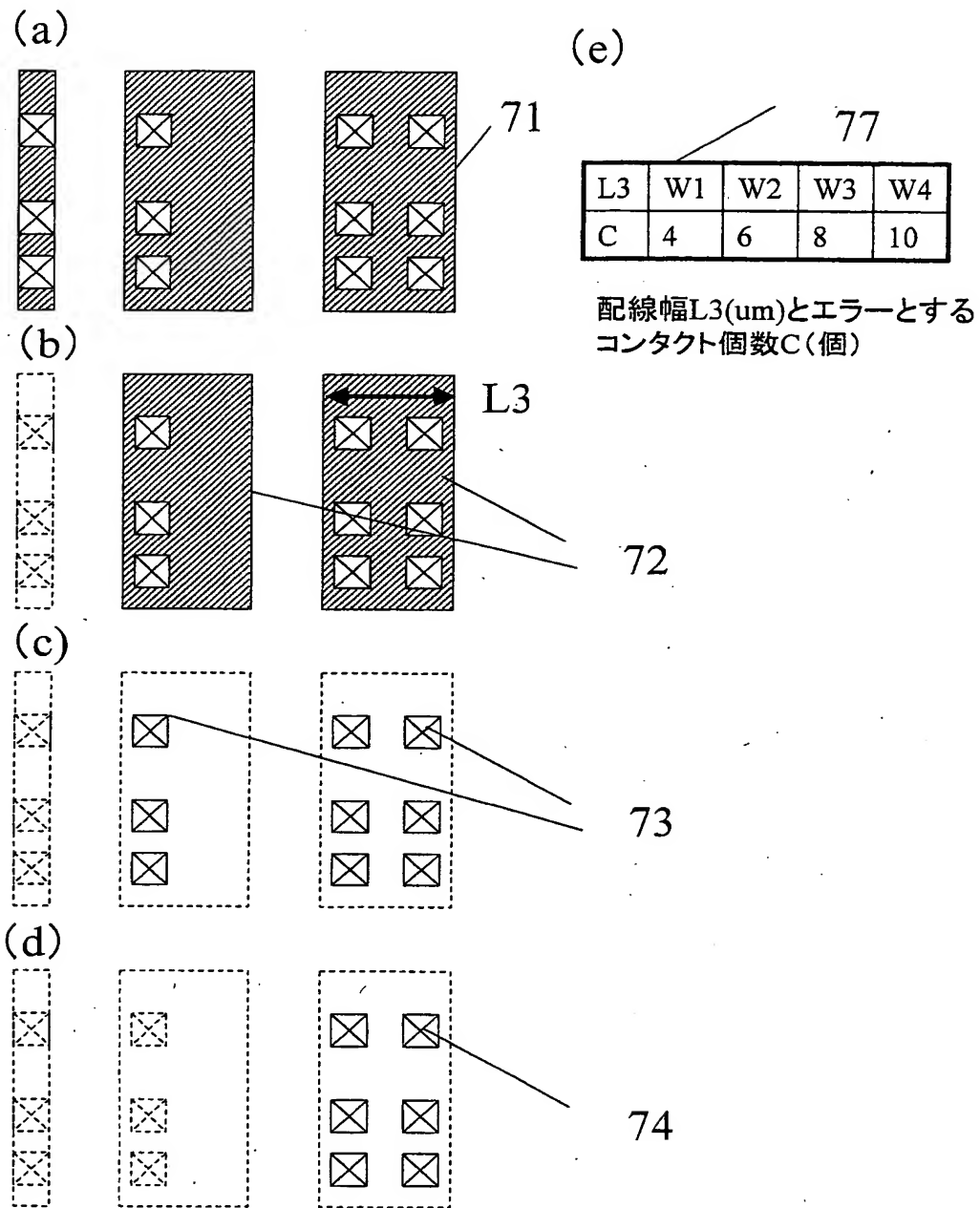
【図 20】



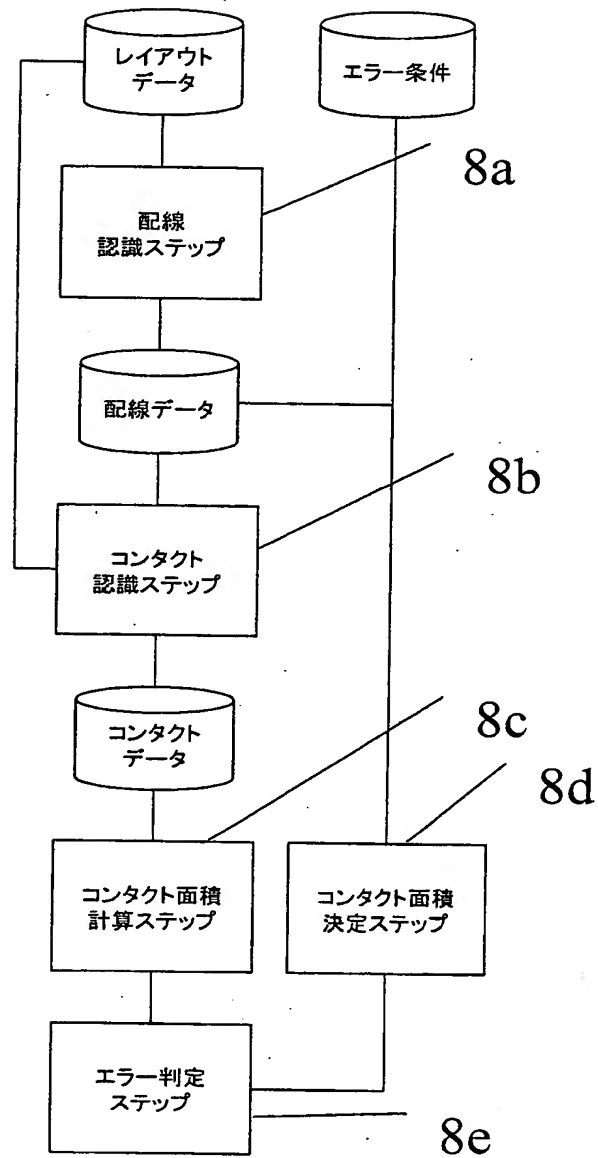
【図 2 1】



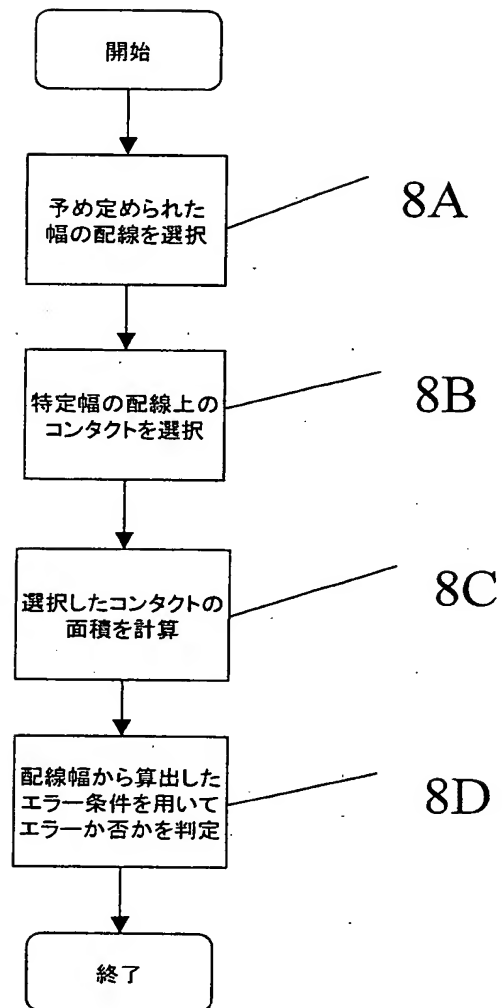
【図 2 2】



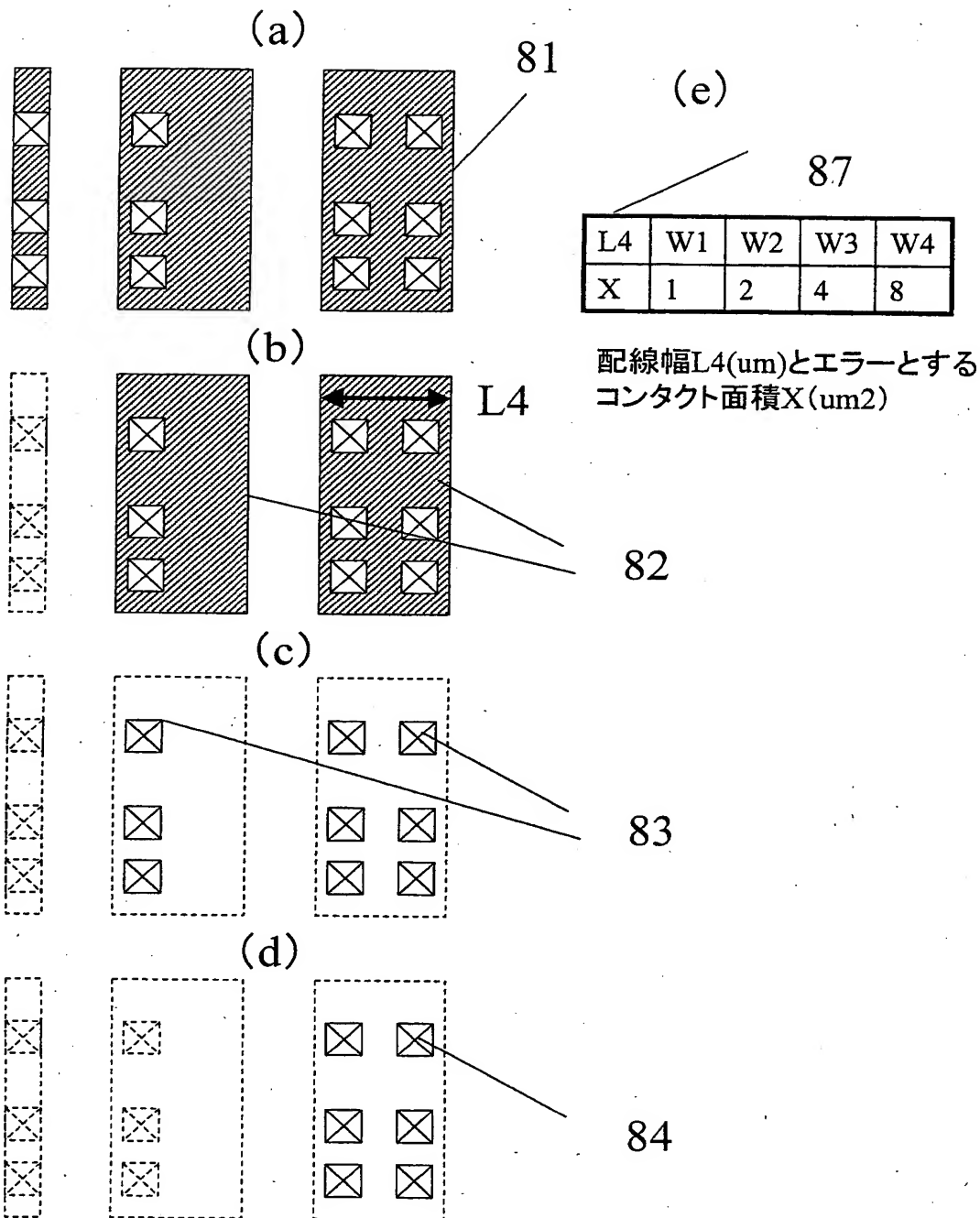
【図 23】



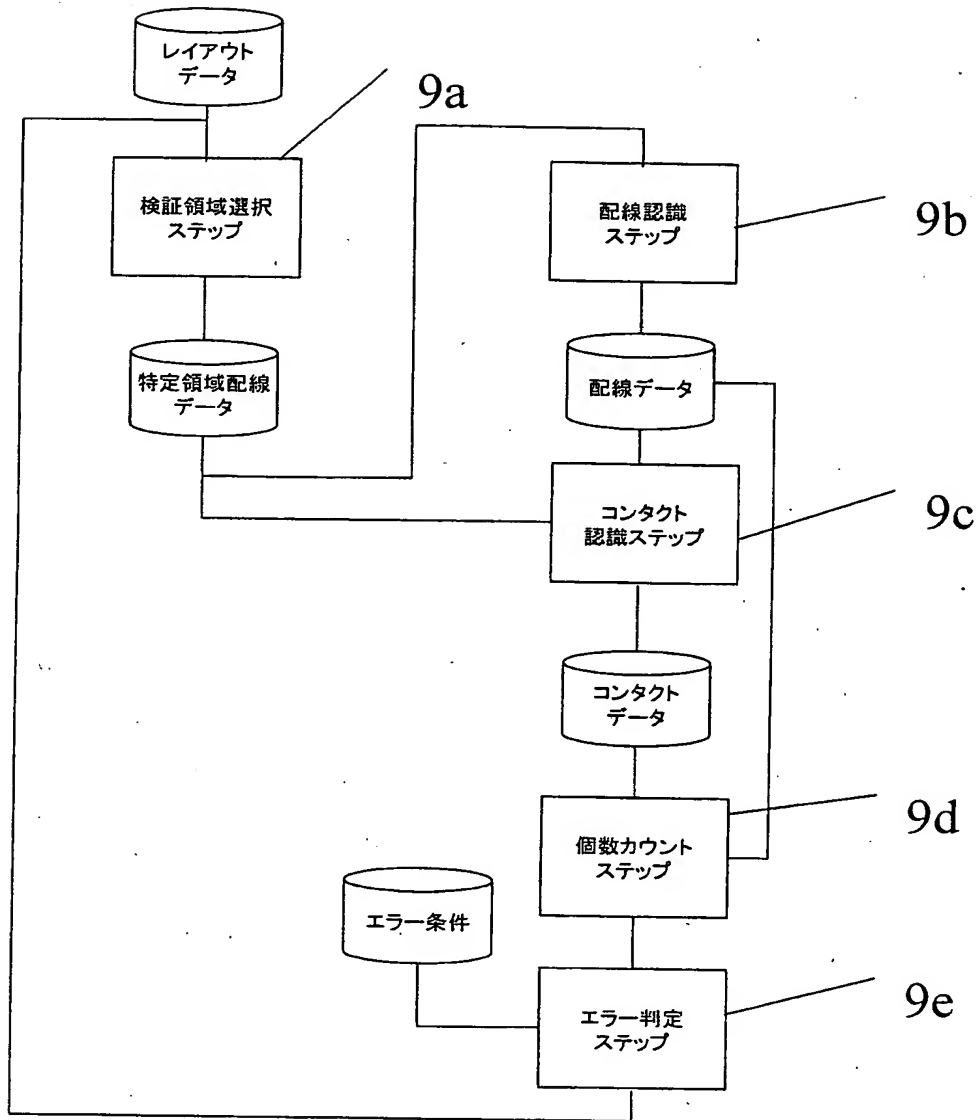
【図 24】



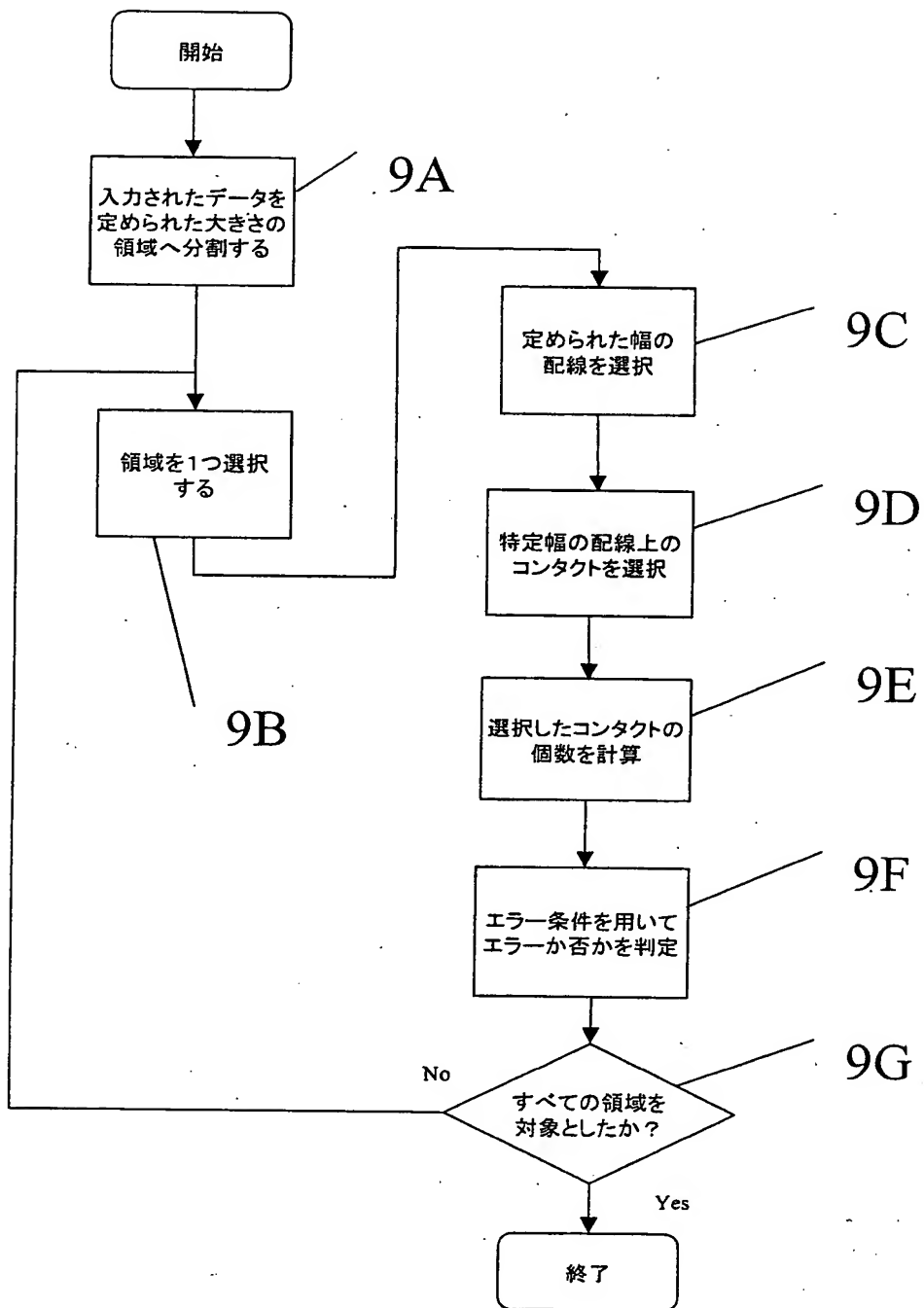
【図 25】



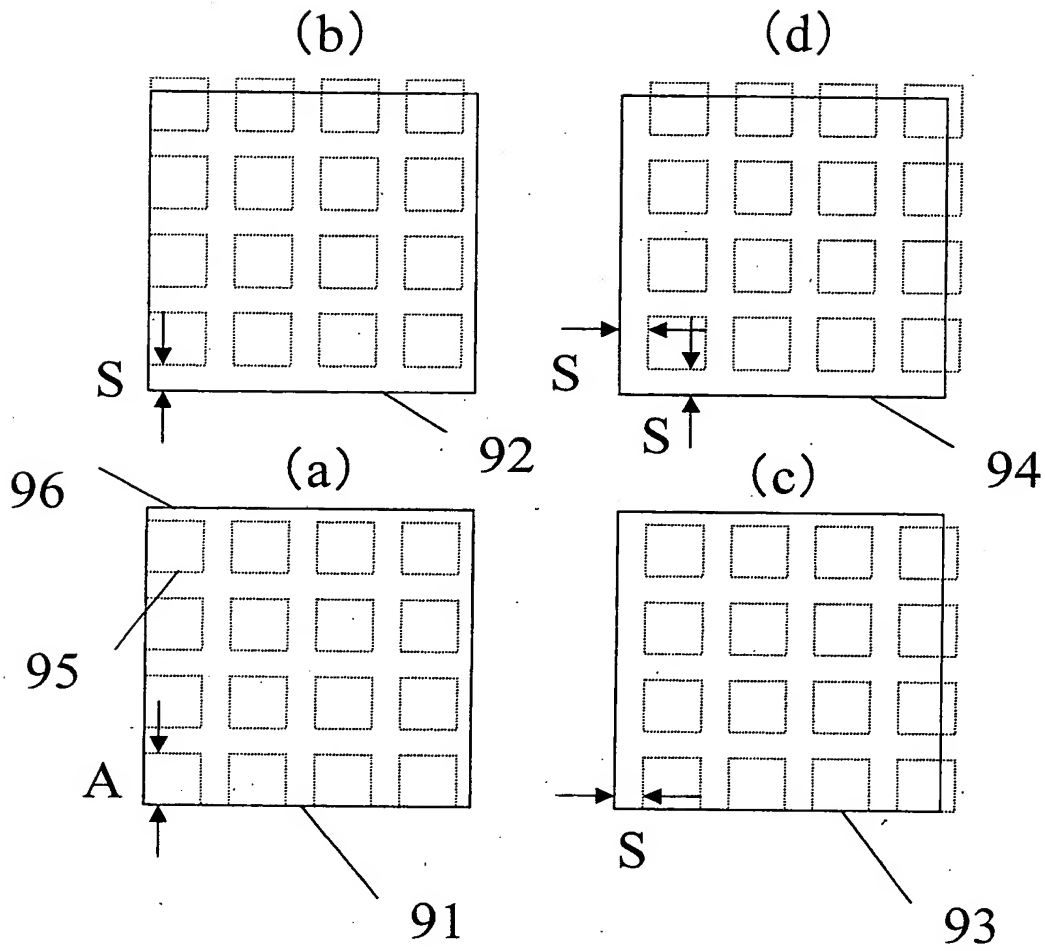
【図 26】



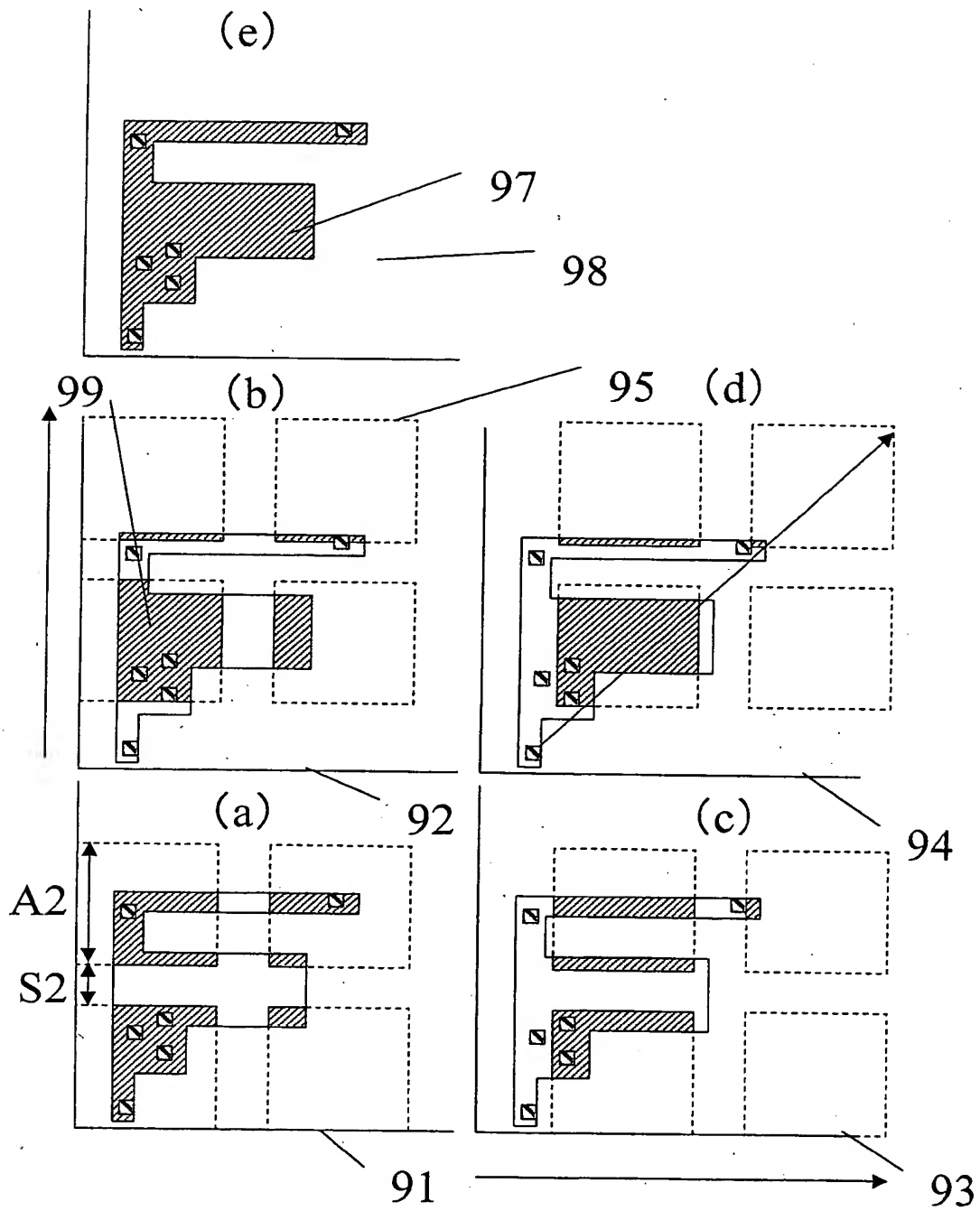
【図 27】



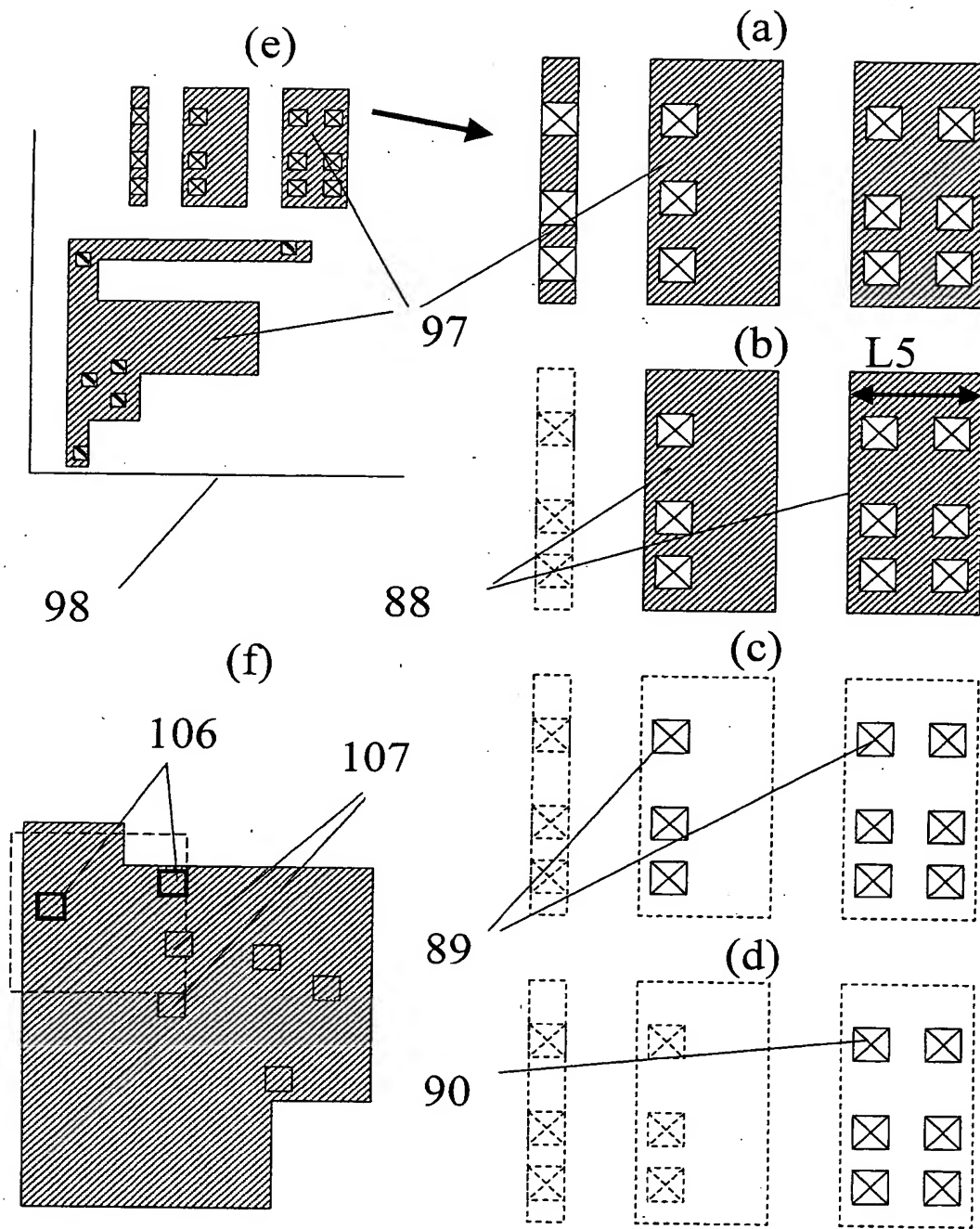
【図 28】



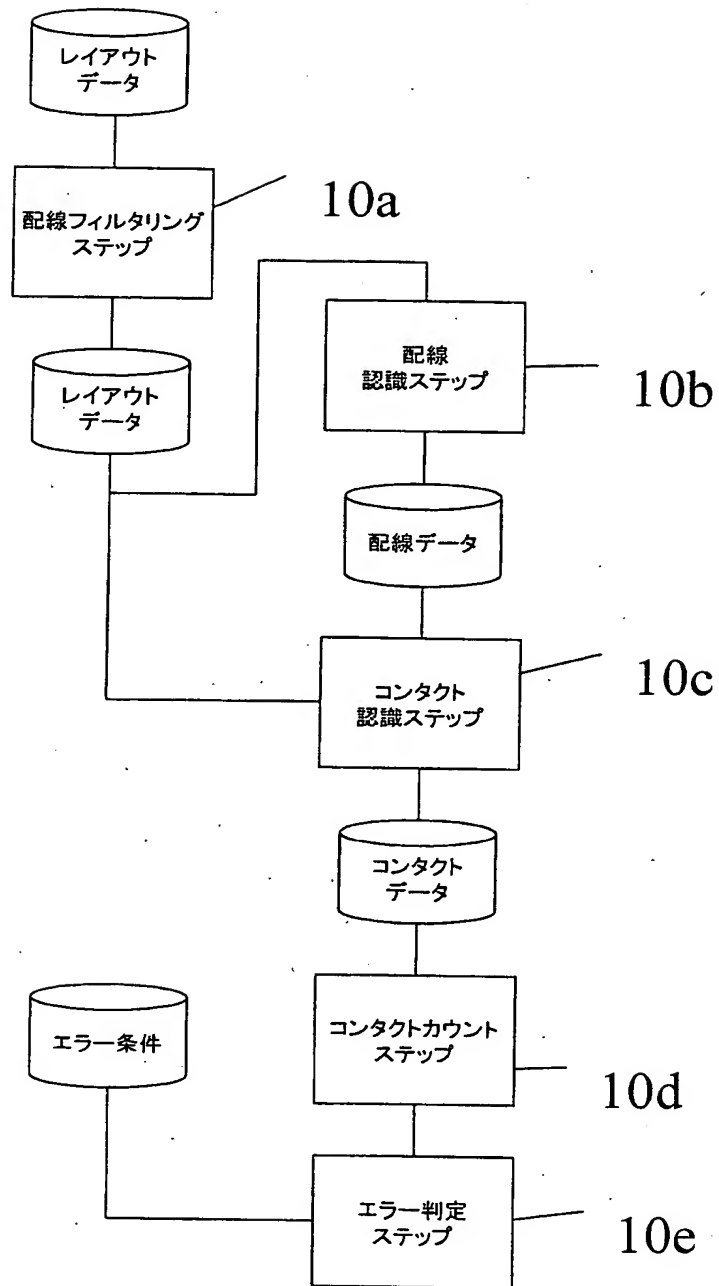
【図 29】



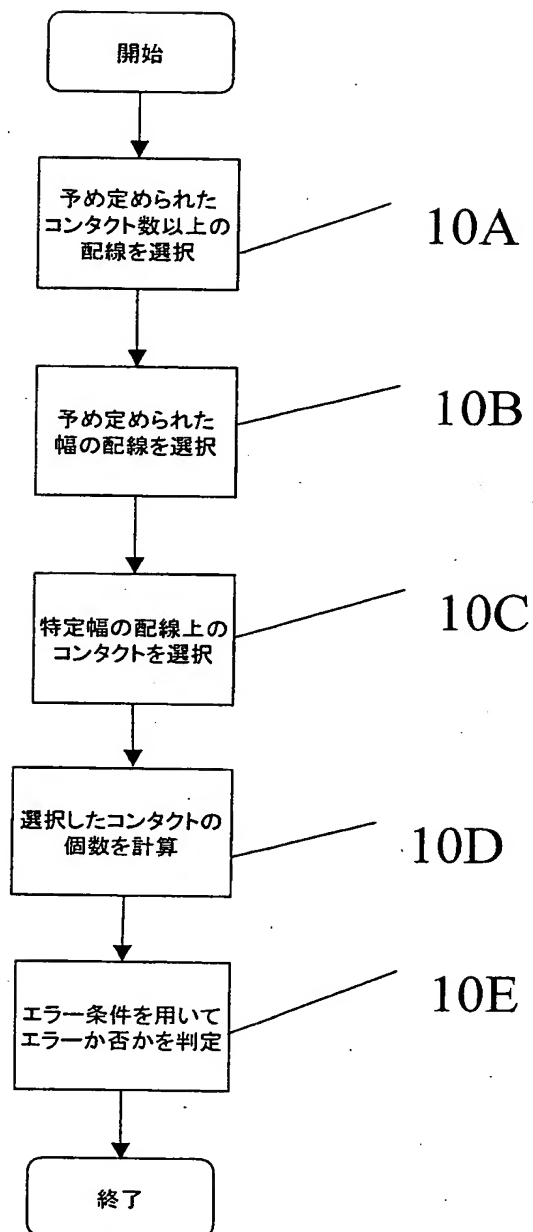
【図 30】



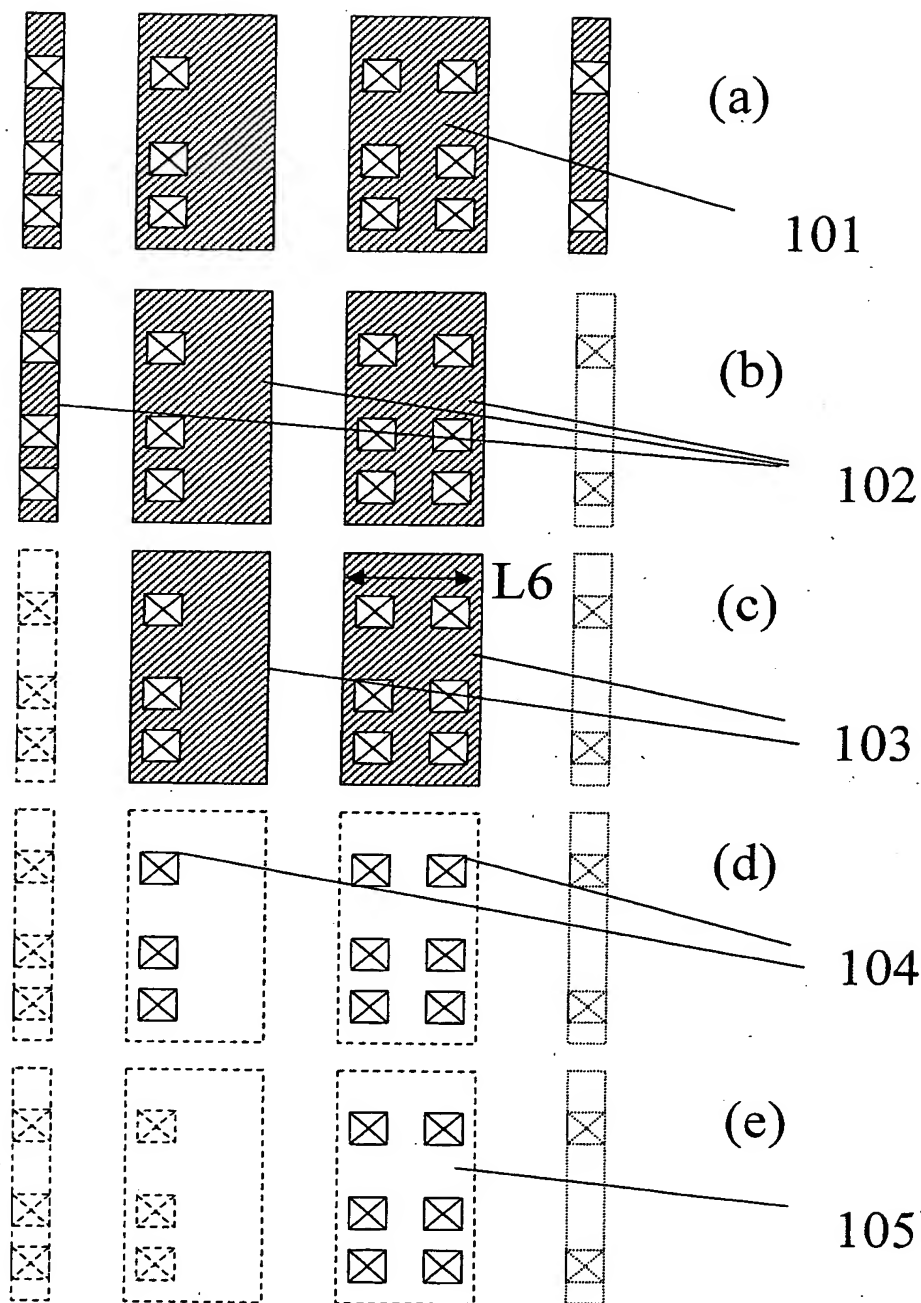
【図31】



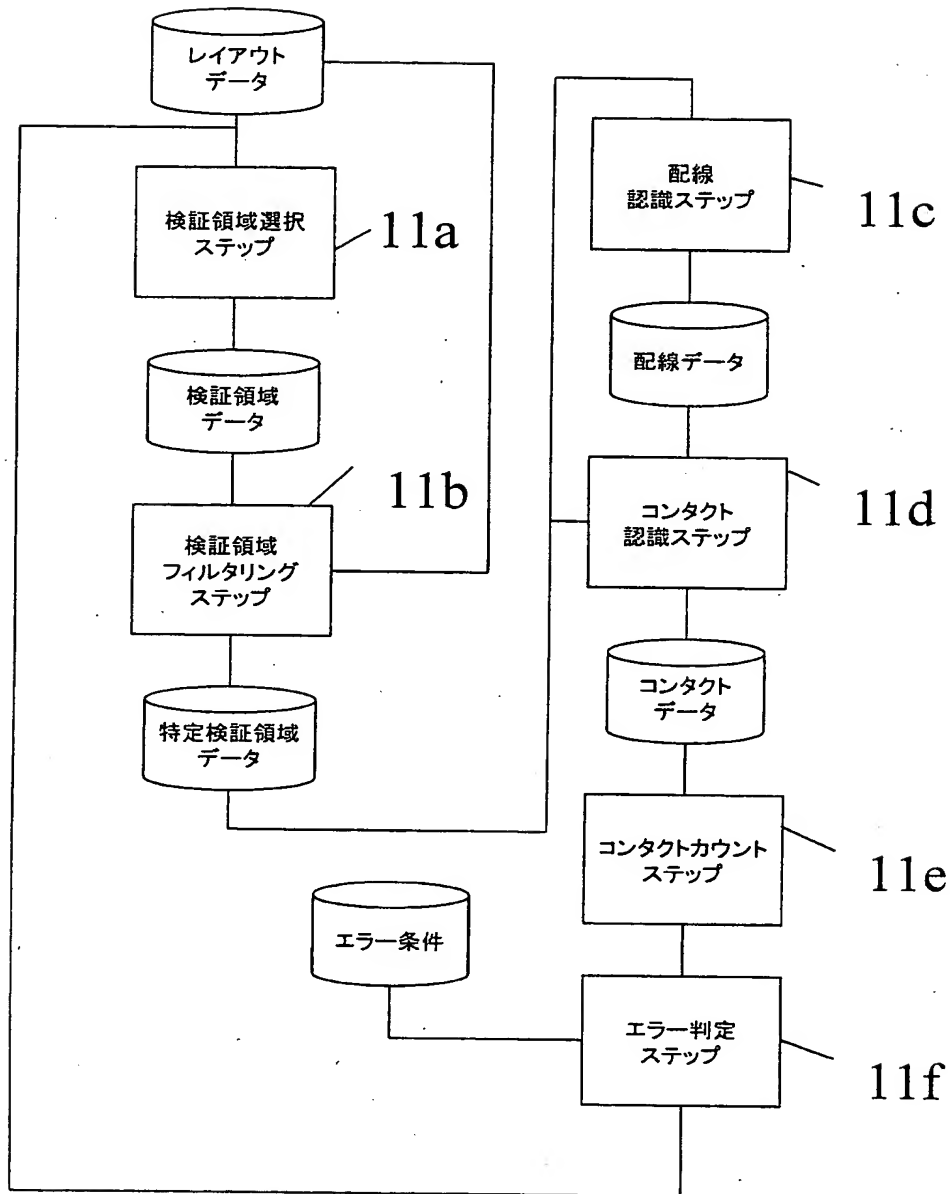
【図 32】



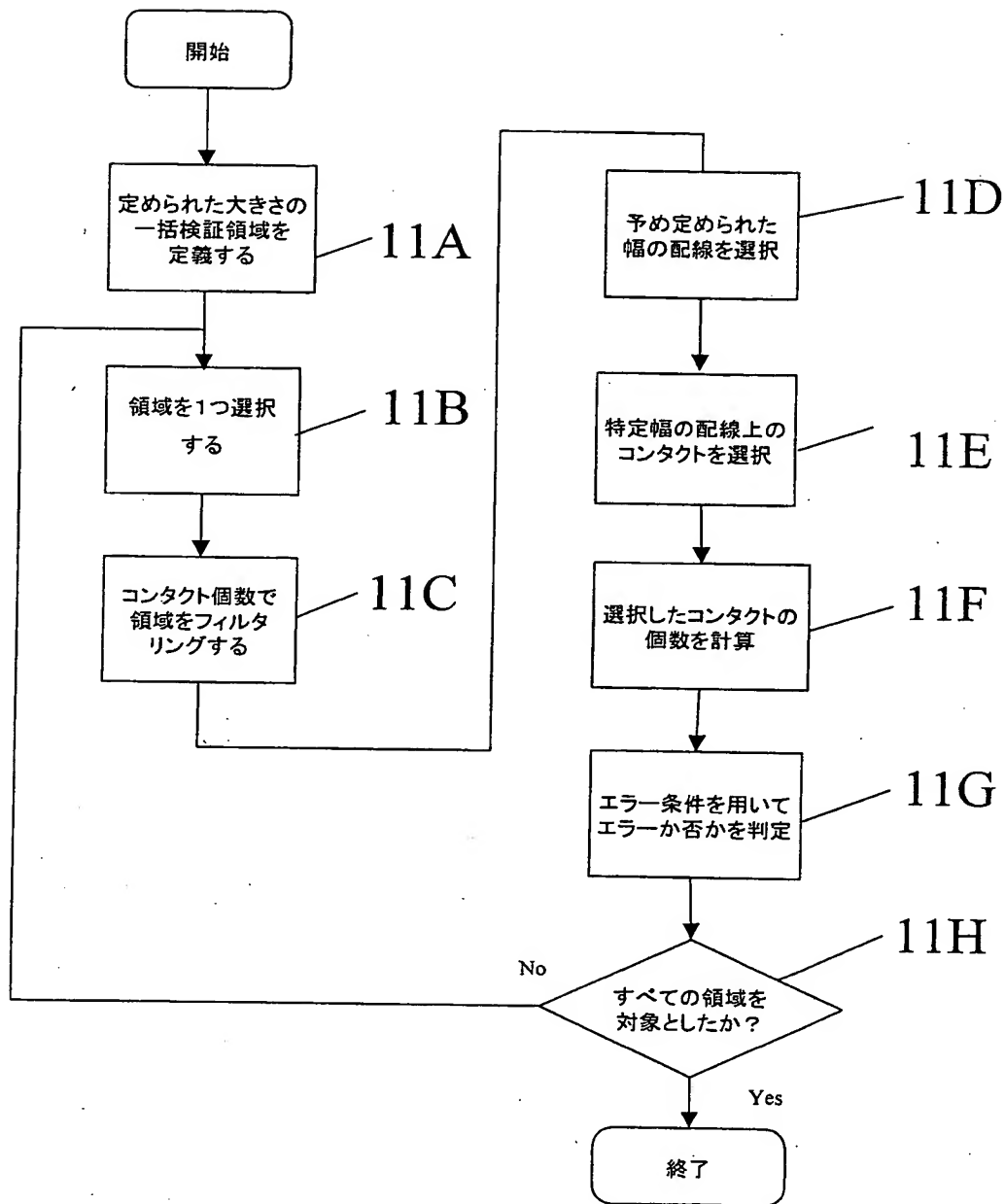
【図 33】



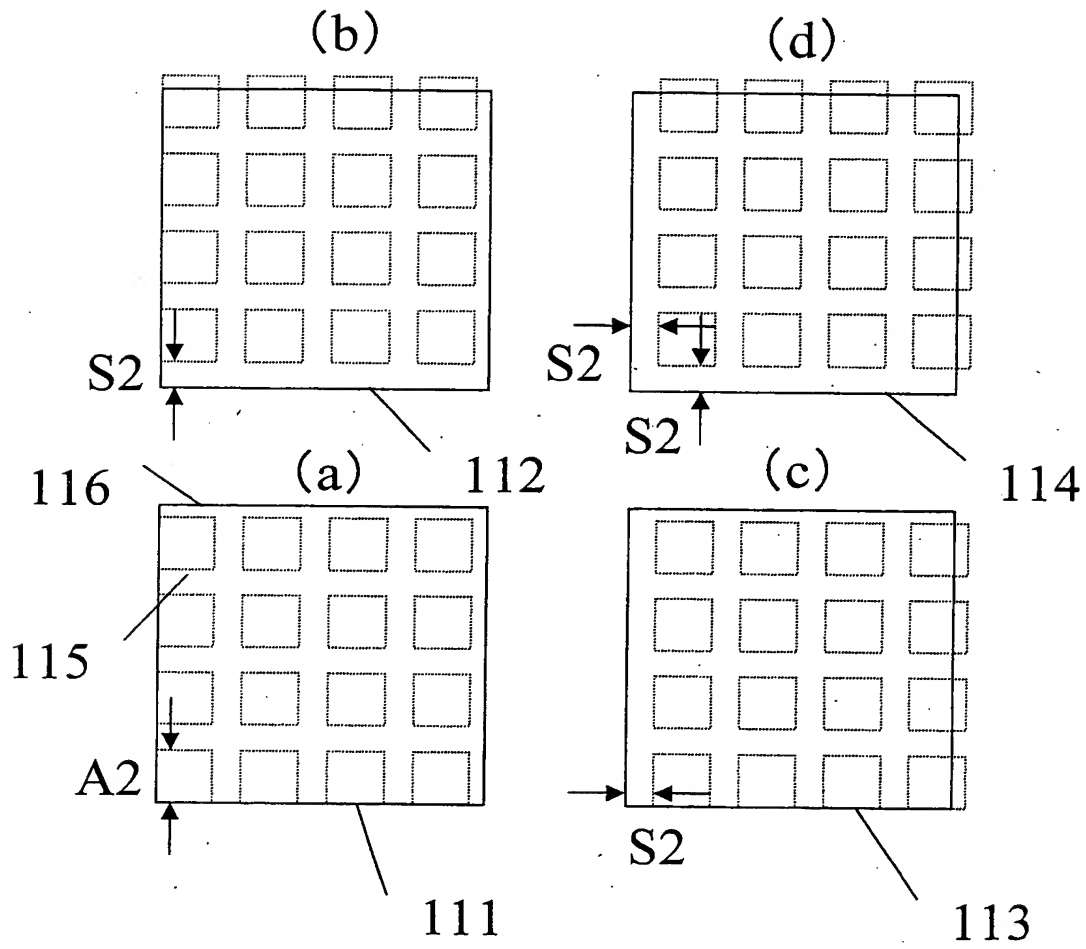
【図 34】



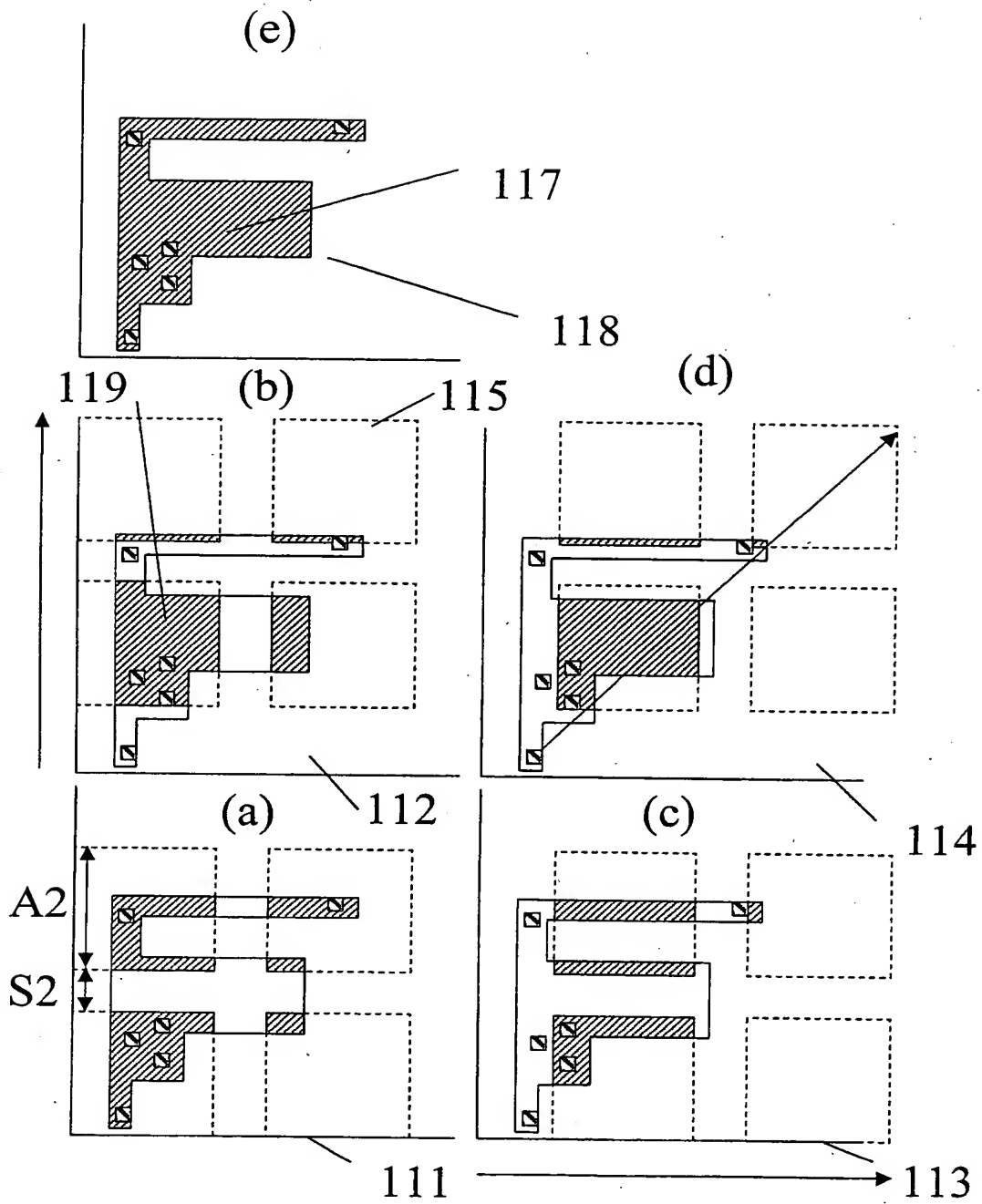
【図 3 5】



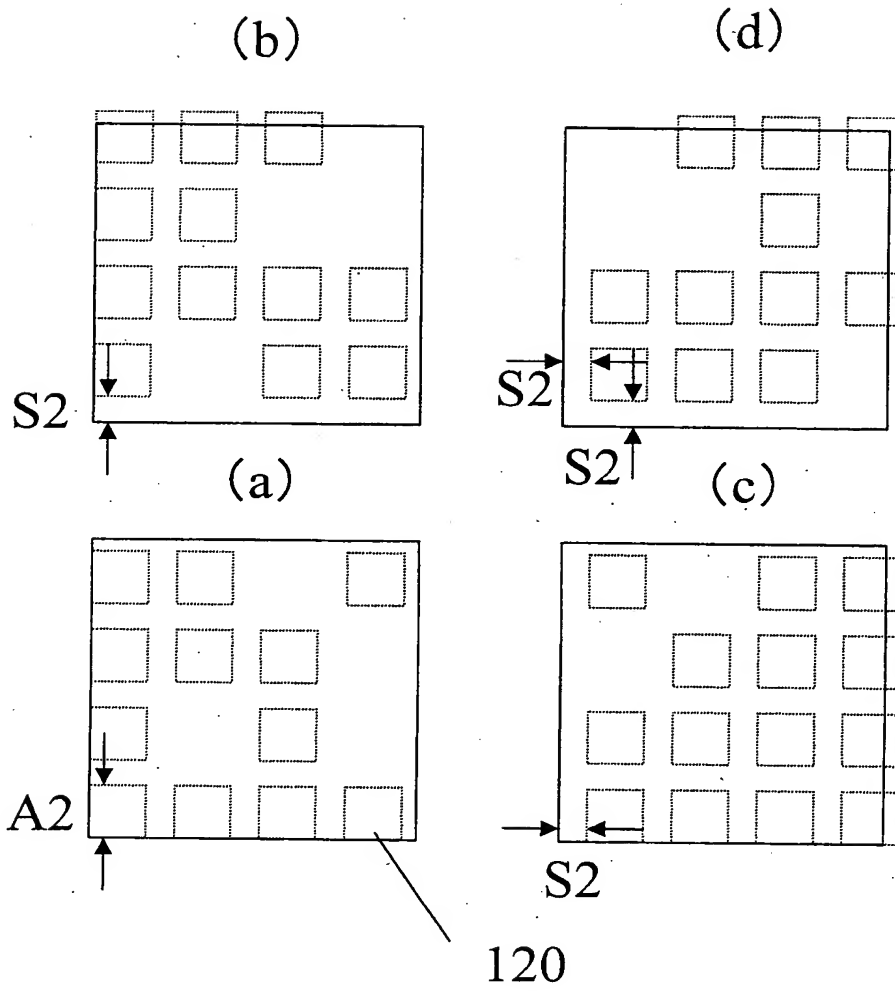
【図 3.6】



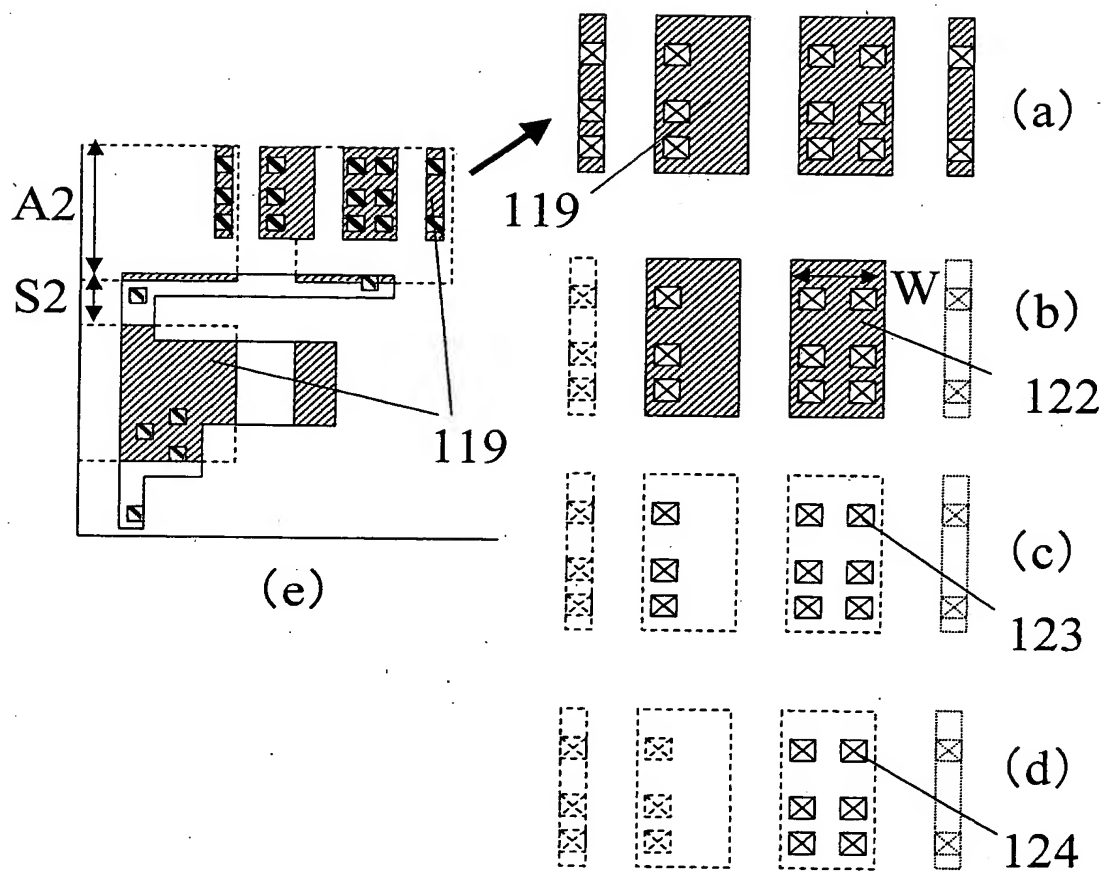
【図 37】



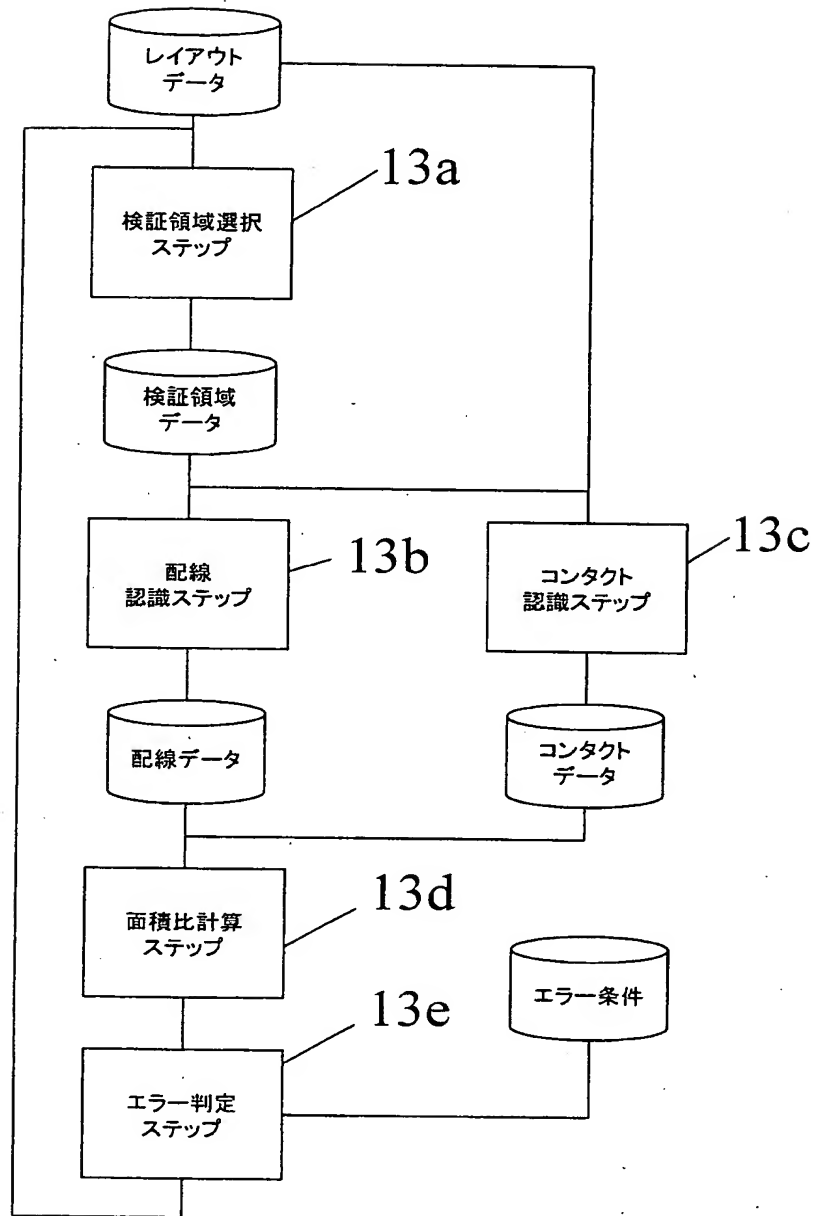
【図 38】



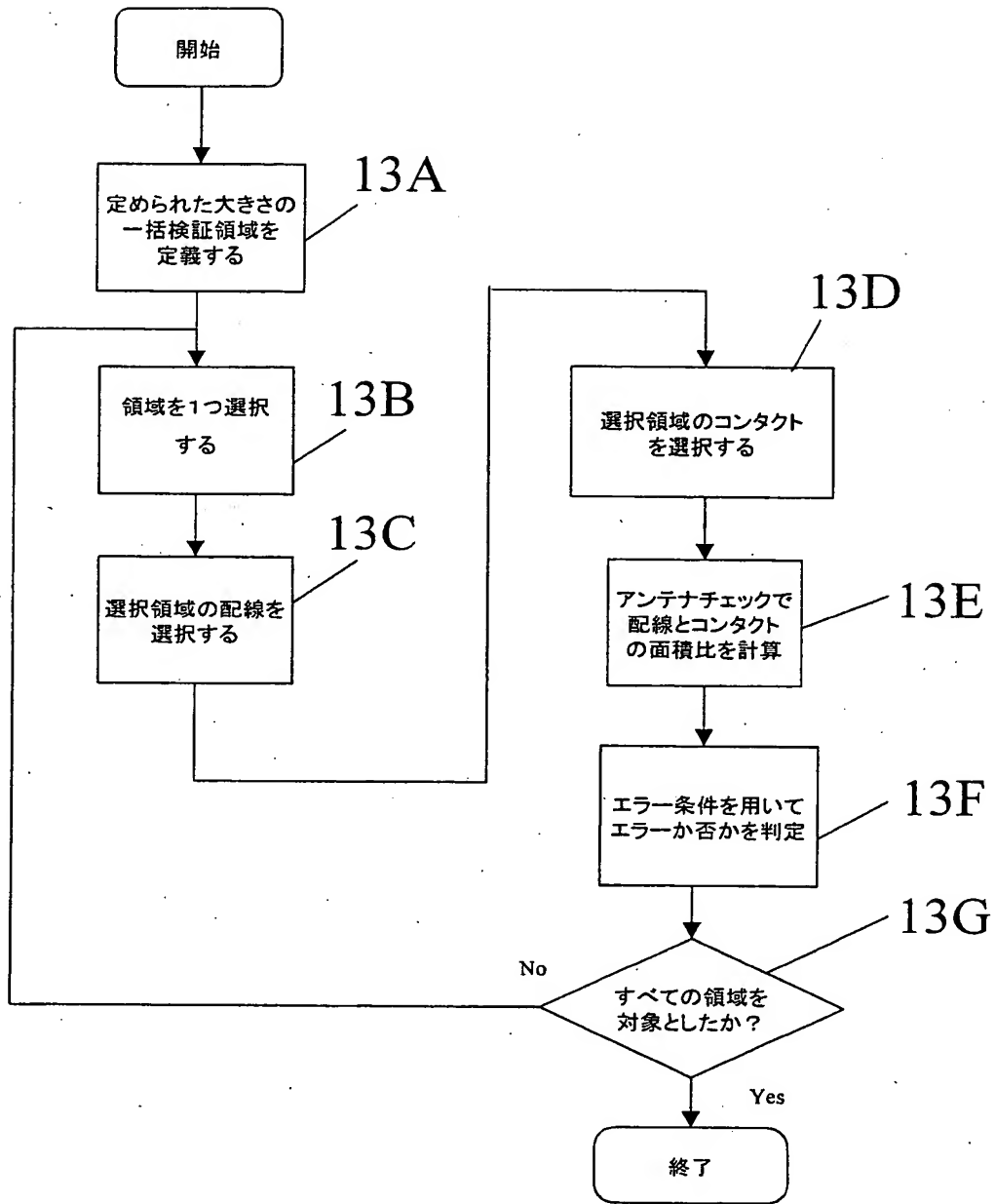
【図 39】



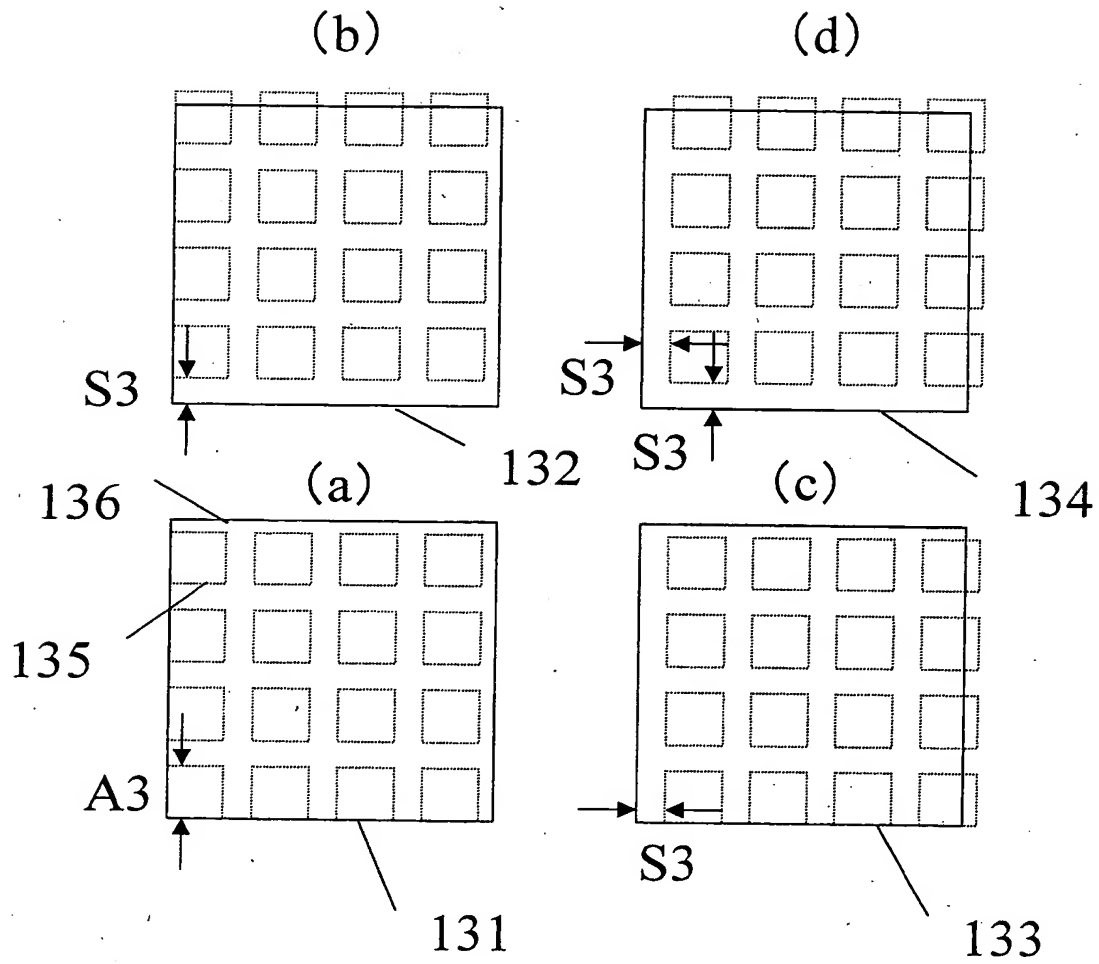
【図 40】



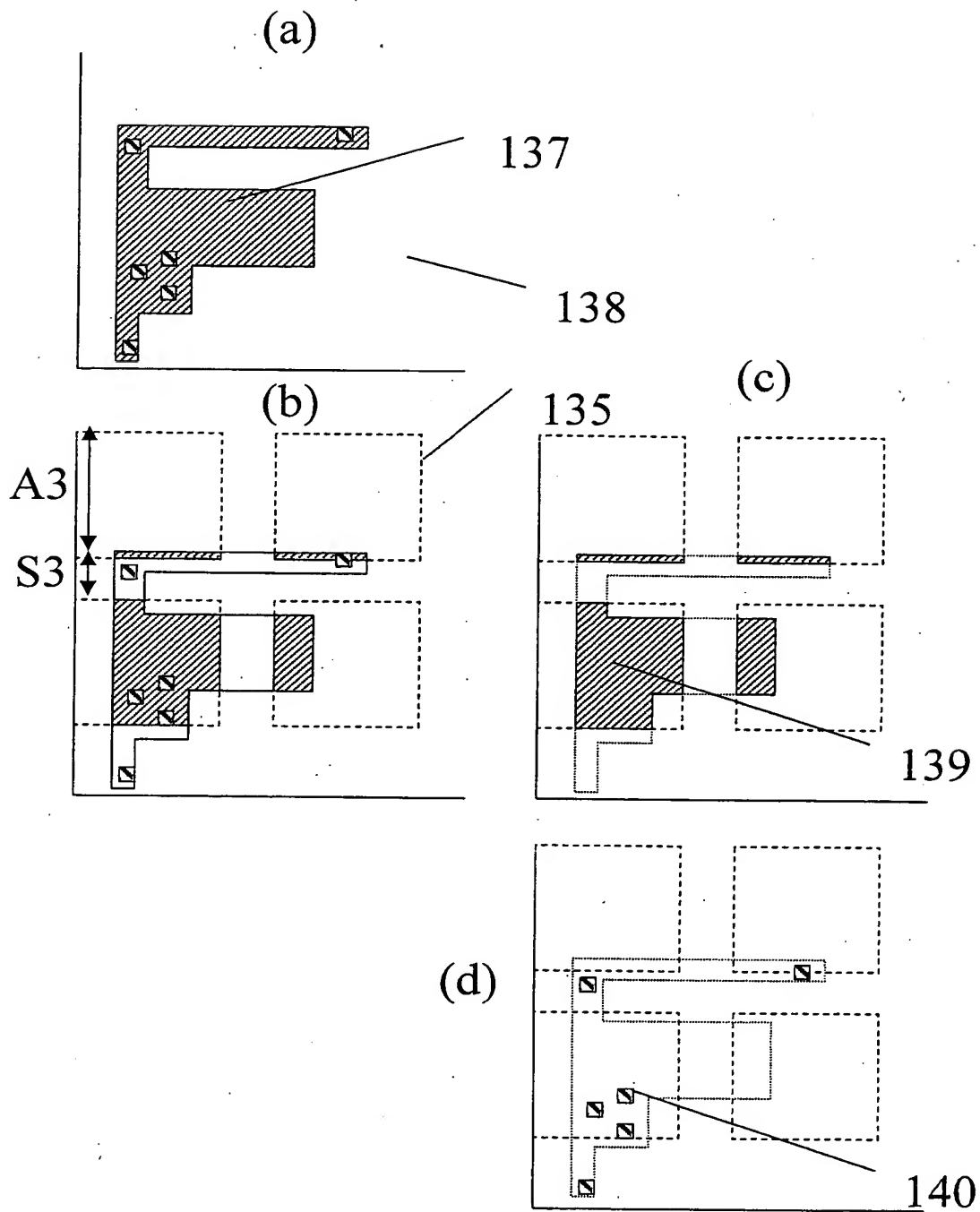
【図 4 1】



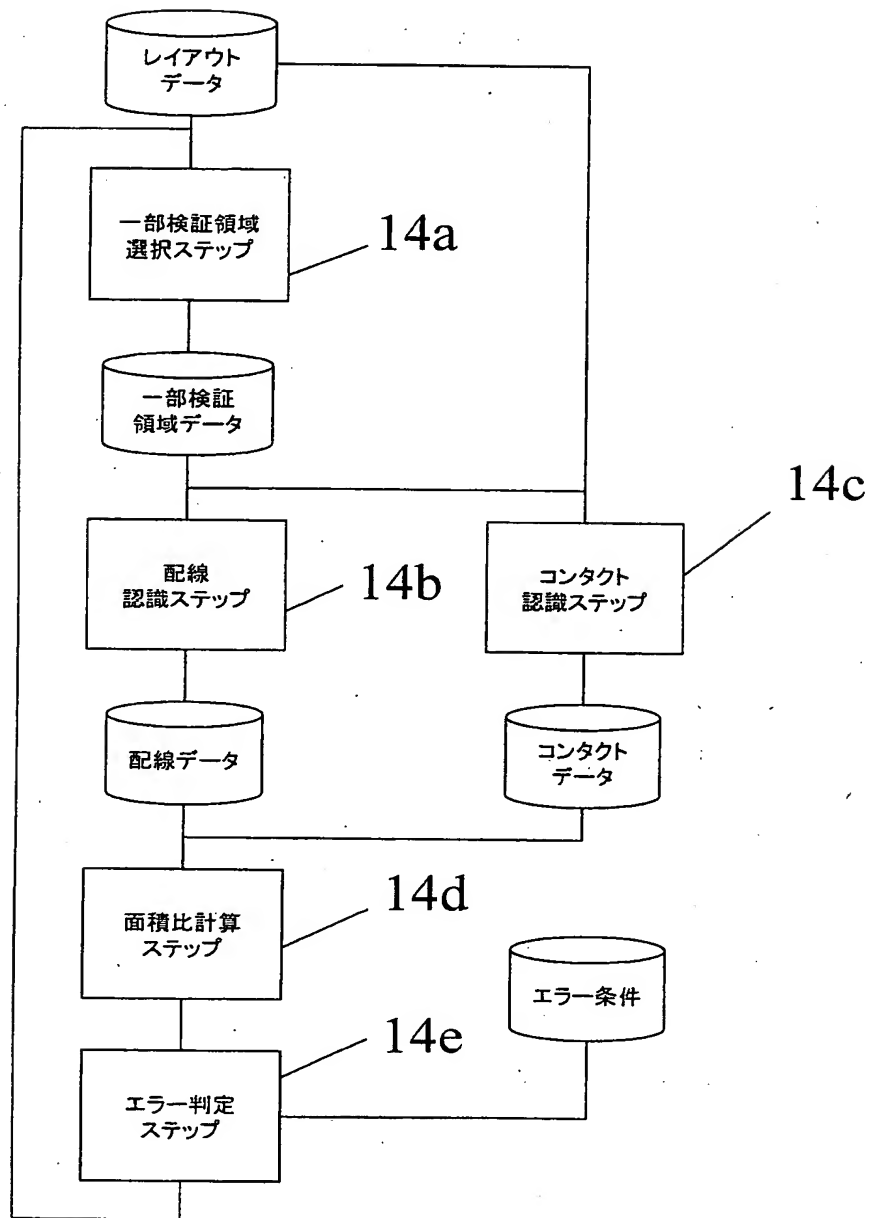
【図 4 2】



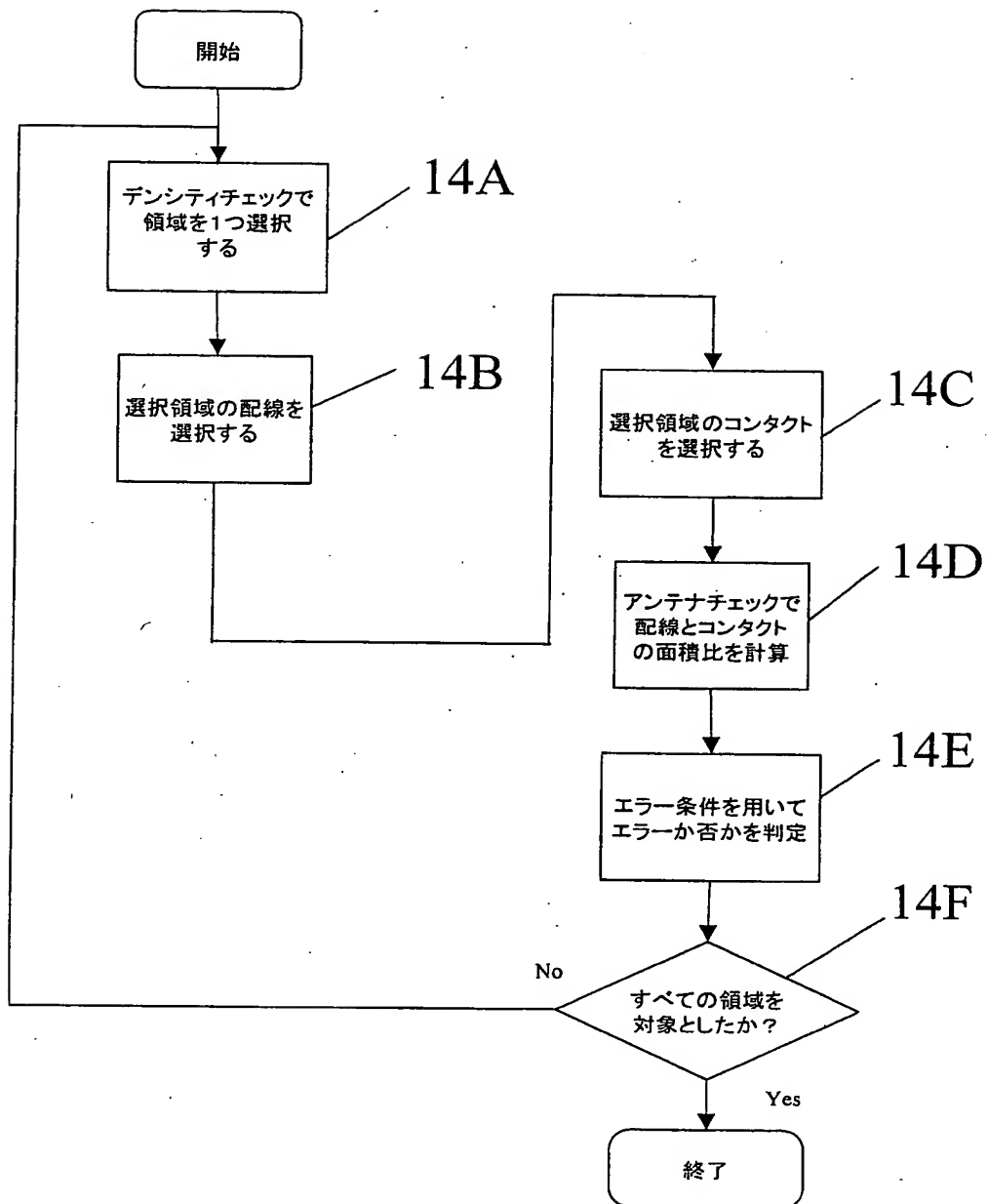
【図 43】



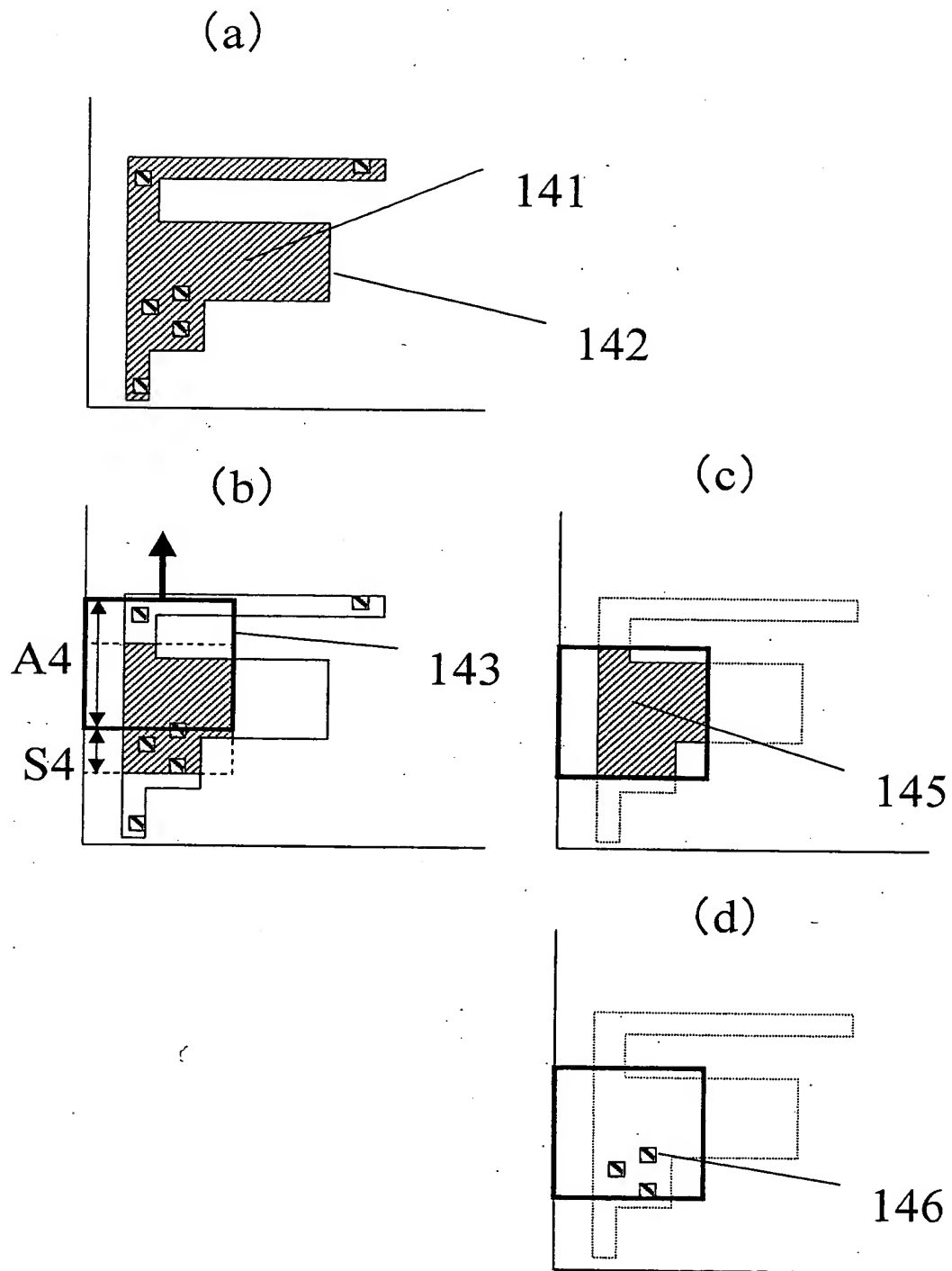
【図 4 4】



【図 45】



【図 46】



【書類名】 要約書

【要約】

【課題】 配線不良発生箇所である大面積配線上のコンタクトホール高密度部をチップレベルで発見することができる。

【解決手段】 チップレイアウト上の配線で発生する形成不良を検証する半導体装置のレイアウト検証方法であって、チップレイアウト上で同一ノード配線の総面積と同一ノード配線上のコンタクトホールの総面積との面積比を制限し、この制限に基づいて良否判定することにより配線形成不良箇所を検出する。このように、レイアウト設計段階で面積比制限を超える不良箇所を検出することにより、ヒロックや配線とコンタクトホールとの接続不良による大面積配線の断線、配線破壊、表面剥離などの形成不良を回避できる。

【選択図】 図 3

特 2002-338980

認定・付加情報

特許出願の番号	特願2002-338980
受付番号	50201765666
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年11月25日

<認定情報・付加情報>

【提出日】 平成14年11月22日

次頁無

出 願 人 履 歷 情 報

識別番号 [000005821]

1. 変更年月日 1990年 8月28日
[変更理由] 新規登録
住 所 大阪府門真市大字門真1006番地
氏 名 松下電器産業株式会社